

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: TAKAFUJI, Yutaka et al. Conf.:
Appl. No.: New Group:
Filed: September 24, 2003 Examiner:
For: SINGLE-CRYSTAL SILICON SUBSTRATE, SOI
SUBSTRATE, SEMICONDUCTOR DEVICE,
DISPLAY DEVICE AND MANUFACTURING METHOD
OF SEMICONDUCTOR DEVICE

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 24, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-280078	September 25, 2002
JAPAN	2002-299577	October 11, 2002
JAPAN	2003-067109	March 12, 2003

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Charles Gorenstein, #29,271

CG/cqc
1248-0673P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)

日本国特許庁
JAPAN PATENT OFFICE

BSI/CB703-205-8800
1248-0673P
Takafuji et al.
Sept 24, 2003
1083

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年 9月25日

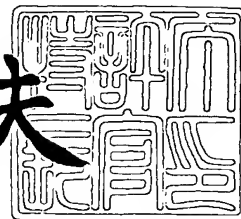
出願番号
Application Number: 特願2002-280078
[ST. 10/C]: [JP 2002-280078]

出願人
Applicant(s): シャープ株式会社

2003年 8月 4日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3062196

【書類名】 特許願
【整理番号】 02J03018
【提出日】 平成14年 9月25日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
H01L 21/84
H01L 21/265
H01L 27/12
H01L 29/786

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 ▲高▼藤 裕

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 糸賀 隆志

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100115026

【弁理士】

【氏名又は名称】 圓谷 徹

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 単結晶 Si 基板、半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

表面に酸化膜、ゲートパターン、不純物イオン注入部が形成された後に平坦化されており、所定の深さに所定の濃度の水素イオンが注入された水素イオン注入領域を備えていることを特徴とする単結晶 Si 基板。

【請求項 2】

表面に不純物イオンが注入された p n p 接続構造あるいは n p n 接続構造を有する不純物イオン注入領域と、該不純物イオン注入領域上に堆積された酸化膜とを有していることを特徴とする単結晶 Si 基板。

【請求項 3】

上記所定の深さに所定の濃度の水素イオンが注入された水素イオン注入領域を備えていることを特徴とする請求項 2 に記載の単結晶 Si 基板。

【請求項 4】

上記酸化膜は、膜厚が 200 nm 以上になるように形成されていることを特徴とする請求項 1～3 の何れか 1 項に記載の単結晶 Si 基板。

【請求項 5】

絶縁基板上の異なる領域に、非単結晶 Si 薄膜デバイスと、単結晶 Si 薄膜デバイスとがそれぞれ形成されていることを特徴とする半導体装置。

【請求項 6】

上記単結晶 Si 薄膜デバイスは、上記絶縁基板に対して、無機系の絶縁膜によって接着されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

上記非単結晶 Si 薄膜デバイスおよび上記単結晶 Si 薄膜デバイスは、ともに MOS 型の単結晶 Si 薄膜トランジスタであることを特徴とする請求項 5 または 6 に記載の半導体装置。

【請求項 8】

上記 MOS 型の単結晶 Si 薄膜トランジスタは、上記絶縁基板側からゲート、

ゲート絶縁膜、Siの順に形成されていることを特徴とする請求項7に記載の半導体装置。

【請求項9】

上記MOS型の単結晶Si薄膜トランジスタの単結晶Si薄膜の膜厚は、略600nm以下であることを特徴とする請求項7または8に記載の半導体装置。

【請求項10】

上記MOS型の単結晶Si薄膜トランジスタの単結晶Si薄膜の膜厚は、略100nm以下であることを特徴とする請求項7または8に記載の半導体装置。

【請求項11】

上記MOS型の単結晶Si薄膜トランジスタの金属配線パターンは、MOS型の単結晶Si薄膜トランジスタのゲートパターンよりも許容範囲が広い配線形成ルールによって形成されていることを特徴とする請求項7～10の何れか1項に記載の半導体装置。

【請求項12】

上記非単結晶Si薄膜デバイスは、MOS型の非単結晶Si薄膜トランジスタであって、

上記単結晶Si薄膜デバイスは、バイポーラ型の単結晶Si薄膜トランジスタであることを特徴とする請求項6に記載の半導体装置。

【請求項13】

上記非単結晶Si薄膜デバイスは、MOS型の非単結晶Si薄膜トランジスタであって、

上記単結晶Si薄膜デバイスは、MOS型の単結晶Si薄膜トランジスタおよびバイポーラ型の単結晶Si薄膜トランジスタであることを特徴とする請求項6に記載の半導体装置。

【請求項14】

上記単結晶SiからなるMOS型薄膜トランジスタの単結晶Si薄膜は、バイポーラ型薄膜トランジスタの単結晶Si薄膜よりも膜厚が小さいことを特徴とする請求項13に記載の半導体装置。

【請求項15】

上記バイポーラ型の単結晶 Si 薄膜トランジスタは、ベース、コレクタおよびエミッタ領域が同一平面に形成、配置された平面構造であることを特徴とする請求項 12～14 の何れか 1 項に記載の半導体装置。

【請求項 16】

上記バイポーラ型の単結晶 Si 薄膜トランジスタのコンタクトパターンは、バイポーラ型の単結晶 Si 薄膜トランジスタのベースパターンよりも許容範囲が広い配線形成ルールによって形成されていることを特徴とする請求項 12～15 の何れか 1 項に記載の半導体装置。

【請求項 17】

上記バイポーラ型単結晶 Si 薄膜トランジスタの単結晶 Si 薄膜の膜厚は、略 800 nm 以下であることを特徴とする請求項 12～16 の何れか 1 項に記載の半導体装置。

【請求項 18】

上記非単結晶 Si 薄膜は多結晶 Si 薄膜もしくは連続粒界 Si 薄膜であって、上記非単結晶 Si 薄膜からなる MOS 型薄膜トランジスタは、基板側から非単結晶 Si、ゲート絶縁膜、ゲートの順に形成されていることを特徴とする請求項 7～17 の何れか 1 項に記載の半導体装置。

【請求項 19】

上記非単結晶 Si 薄膜は多結晶 Si 薄膜もしくは連続粒界 Si 薄膜であって、上記非単結晶 Si 薄膜からなる MOS 型薄膜トランジスタは、基板側からゲート、ゲート絶縁膜、非単結晶 Si の順に形成されていることを特徴とする請求項 7～17 の何れか 1 項に記載の半導体装置。

【請求項 20】

上記非単結晶 Si 薄膜は非晶質 Si 薄膜であって、上記非単結晶 Si 薄膜からなる MOS 型薄膜トランジスタは、基板側からゲート、ゲート絶縁膜、非単結晶 Si の順に形成されていることを特徴とする請求項 7～17 の何れか 1 項に記載の半導体装置。

【請求項 21】

上記非単結晶 Si 薄膜は非晶質 Si 薄膜であって、上記非単結晶 Si 薄膜から

なるMOS型薄膜トランジスタは、基板側から非単結晶Si、ゲート絶縁膜、ゲートの順に形成されていることを特徴とする請求項7～17の何れか1項に記載の半導体装置。

【請求項22】

上記単結晶Si薄膜デバイスを構成する単結晶Siと上記絶縁基板の線膨張係数の差は、室温から600℃の温度範囲において約250ppm以下であることを特徴とする請求項6～21の何れか1項に記載の半導体装置。

【請求項23】

上記絶縁基板は、少なくとも、上記単結晶Si薄膜デバイスが搭載される領域の表面にSiO₂膜が形成されたアルカリ土類-アルミノ硼珪酸ガラスからなる高歪点ガラスであることを特徴とする請求項6～22の何れか1項に記載の半導体装置。

【請求項24】

上記絶縁基板は、バリウム-硼珪酸ガラス、バリウム-アルミノ硼珪酸ガラス、アルカリ土類-アルミノ硼珪酸ガラス、硼珪酸ガラス、アルカリ土類-亜鉛-鉛-アルミノ硼珪酸ガラスおよびアルカリ土類-亜鉛-アルミノ硼珪酸ガラスのうち何れかのガラスから形成されていることを特徴とする請求項6～22の何れか1項に記載の半導体装置。

【請求項25】

絶縁基板上に、単結晶Si薄膜デバイスと非単結晶Si薄膜デバイスとが形成された半導体装置の製造方法において、

上記単結晶Si薄膜デバイスを含む回路を絶縁基板上に搭載した後、上記非単結晶Si薄膜を形成することを特徴とする半導体装置の製造方法。

【請求項26】

上記単結晶Si薄膜デバイスに、メタル配線を形成することを特徴とする請求項25に記載の半導体装置の製造方法。

【請求項27】

上記単結晶Si薄膜デバイスを搭載した後、上記非単結晶Si薄膜を形成する前に、層間絶縁膜を形成することを特徴とする請求項25または26に記載の半

導体装置の製造方法。

【請求項 28】

絶縁基板上に、単結晶 Si 薄膜デバイスと非単結晶 Si 薄膜とが形成された半導体装置の製造方法において、

上記非単結晶 Si 薄膜を上記絶縁基板上に形成した後、上記単結晶 Si 薄膜デバイスを搭載することを特徴とする半導体装置の製造方法。

【請求項 29】

上記単結晶 Si 薄膜デバイスは、MOS 型の単結晶 Si 薄膜トランジスタであることを特徴とする請求項 25～28 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 30】

上記単結晶 Si 薄膜デバイスは、バイポーラ型の単結晶 Si 薄膜トランジスタであることを特徴とする請求項 25～28 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 31】

上記単結晶 Si 薄膜デバイスを形成するための単結晶 Si 基板に対して、所定の深さに所定の濃度の水素イオンを注入することを特徴とする請求項 25～30 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 32】

上記水素イオンの注入エネルギーは、該水素イオンの注入エネルギーから上記酸化膜の膜厚に相当する水素イオンのプロジェクションレンジに対応するエネルギーを差し引いたエネルギーが、上記酸化膜の膜厚に相当する、該酸化膜上に形成された層内に存在する材料の構成原子のプロジェクションレンジに対応するエネルギーよりも小さくなるように設定されていることを特徴とする請求項 31 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、TFT で駆動するアクティブマトリクス駆動液晶表示装置

等に搭載され、周辺駆動回路やコントロール回路を集積化した液晶表示装置の回路性能改善を図った半導体装置およびその製造方法、該半導体装置を製造する際に用いられる単結晶 Si 基板に関するものである。

【0002】

【従来の技術】

従来より、ガラス基板上に a-Si（非晶質 Si）や p-Si（多結晶 Si）の薄膜トランジスタ（Thin Film Transistor、以下、TFT と記す）を形成し、液晶表示パネルや有機 EL パネル等の駆動を行う、いわゆるアクティブマトリクス駆動を行う液晶表示装置が使用されている。

【0003】

特に、移動度が高く高速で動作する p-Si を用いて、周辺ドライバを集積化したものが用いられるようになっている。しかし、さらに高い性能が要求されるイメージプロセッサやタイミングコントローラ等のシステム集積化のために、より高性能な Si デバイスが求められている。

【0004】

これは、多結晶 Si では結晶性の不完全性に起因するギャップ内の局在準位や結晶粒界付近の欠陥ギャップ内に局在準位が存在し、移動度の低下や S 係数（サブスレショルド係数）が増大するため、高性能な Si のデバイスを形成するには、トランジスタの性能が充分ではないという問題があるためである。

【0005】

そこで、さらに高性能な Si のデバイスを形成するため、単結晶 Si 薄膜からなる薄膜トランジスタ等のデバイスを予め形成し、これを絶縁基板上に貼り付けて半導体装置を形成する技術が研究されてきている（例えば、特許文献 1、非特許文献 1，2 参照）。

【0006】

特許文献 1 には、ガラス基板上に接着剤を用いて予め作成した単結晶 Si 薄膜トランジスタを転写した半導体装置を使用し、アクティブマトリクス型液晶表示装置の表示パネルのディスプレイが作成される。

【0007】

【特許文献 1】

特表平 7 - 5 0 3 5 5 7 (公表日 1 9 9 5 年 4 月 1 3 日)

【0 0 0 8】

【非特許文献 1】

J.P.Salerno "Single Crystal Silicon AMLCDs", Conference Record of the 1994 International Display Research Conference(IDRC) p.39-44(1994)

【0 0 0 9】

【非特許文献 2】

Q.-Y.Tong & U.Gesele, "SEMICONDUCTOR WAFER BONDING : SCIENCE AND TECHNOLOGY", John Wiley & Sons, New York (1999)

【0 0 1 0】

【発明が解決しようとする課題】

しかしながら、上記従来の半導体装置およびその製造方法では、高性能なデバイスである単結晶 Si 薄膜トランジスタを、ガラス基板上に貼り合わせるために接着剤を使用しているため、貼り付け作業が面倒で、生産性が悪い等の問題点を有している。また、完成した半導体装置についても、接着剤による接合であるため、耐熱性に問題がある。

【0 0 1 1】

さらに、上記特許文献 1 では、単にガラス基板上に単結晶 Si 薄膜デバイスを搭載することが開示されているのみであり、この構成では、近年求められている高性能・高機能な半導体装置を得ることができない。

【0 0 1 2】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、単結晶 Si 薄膜デバイスを、接着剤を使用することなく絶縁基板に容易に貼り付け可能であって、非単結晶 Si 薄膜と単結晶 Si 薄膜デバイスとを搭載し、高性能なシステムを集積化した半導体装置およびその製造方法、ならびに該半導体装置の単結晶 Si 薄膜を形成するための単結晶 Si 基板を提供することにある。

【0013】**【課題を解決するための手段】**

本発明の単結晶Si基板は、上記の課題を解決するために、表面に酸化膜、ゲートパターン、不純物イオン注入部が形成された後に平坦化されており、所定の深さに所定の濃度の水素イオンが注入された水素イオン注入領域を備えていることを特徴としている。

【0014】

上記の構成によれば、絶縁基板等に対して、単結晶Si基板を酸化膜形成側において貼り合わせ、水素イオン注入領域において劈開剥離することで、接着剤を使用しなくても容易にMOS型の単結晶Si薄膜トランジスタを得ることができる。

【0015】

すなわち、本発明の単結晶Si基板には、表面にMOS型の単結晶Si薄膜トランジスタを形成する酸化膜、ゲートパターン、不純物イオン注入部が形成され、かつMOS型の単結晶Si薄膜トランジスタ形成表面から所定の深さに水素イオン注入領域を有している。

【0016】

これにより、絶縁基板等の上に、本発明の単結晶Si薄膜トランジスタを貼り合わせ、Siから水素イオンが離脱する温度以上まで加熱することにより、絶縁基板に対する接合強度を高めることができるとともに、不純物イオン注入部付近に形成された水素イオン注入領域を境に劈開剥離することで、接着剤を使用しなくても容易にMOS型の単結晶Si薄膜トランジスタを形成することができる。

【0017】

よって、例えば、表面に多結晶Si薄膜等の非単結晶Si薄膜トランジスタを形成した絶縁基板上に、本発明の単結晶Si基板を貼り合わせ、MOS型の単結晶Si薄膜トランジスタを形成することで、非単結晶Siからなるトランジスタと単結晶Siからなるトランジスタを1つの基板上の異なる領域に形成した半導体装置を容易に得ることができる。

【0018】

本発明の単結晶 Si 基板は、上記の課題を解決するために、表面に不純物イオンが注入された p n p 接続構造あるいは n p n 接続構造を有する不純物イオン注入領域と、該不純物イオン注入領域上に堆積された酸化膜とを有していることを特徴としている。

【0019】

上記の構成によれば、他の絶縁基板上に搭載しやすい単結晶 Si 薄膜からなるバイポーラ型の薄膜トランジスタを得ることができる。

【0020】

よって、例えば、表面に多結晶 Si 薄膜等の非単結晶 Si 薄膜トランジスタを形成した絶縁基板上に、本発明の単結晶 Si 基板を貼り合わせ、バイポーラ型の単結晶 Si 薄膜トランジスタを形成することで、非単結晶 Si からなるトランジスタと単結晶 Si からなるトランジスタを1つの基板上の異なる領域に形成した半導体装置を容易に得ることができる。

【0021】

上記所定の深さに所定の濃度の水素イオンが注入された水素イオン注入領域を備えていることがより好ましい。

【0022】

これにより、絶縁基板等に対して、単結晶 Si 基板を酸化膜堆積側において貼り合わせ、水素イオン注入側において劈開剥離することで、接着剤を使用することなく、容易にバイポーラ型の単結晶 Si 薄膜トランジスタを得ることができる。

【0023】

すなわち、本発明の単結晶 Si 基板には、表面にバイポーラ型単結晶 Si 薄膜トランジスタを形成する酸化膜、不純物イオン注入部が形成され、かつバイポーラ単結晶 Si 薄膜トランジスタ形成側の所定の深さに水素イオン注入領域を有している。

【0024】

よって、絶縁基板等の上に、本発明の単結晶 Si 薄膜トランジスタを貼り合わせ、Si から水素イオンが離脱する温度以上まで加熱することにより、絶縁基板

に対する接合強度を高めることができるとともに、不純物イオン注入部付近に形成された水素イオン注入領域を境に劈開剥離することで、接着剤を使用しなくても容易にバイポーラ型の単結晶 Si 薄膜トランジスタを形成することができる。

【0025】

そして、本発明の単結晶 Si 基板を、表面に多結晶 Si 薄膜等の非単結晶 Si 薄膜トランジスタを形成した絶縁基板上に貼り合わせ、単結晶 Si 薄膜トランジスタを形成することで、非単結晶 Si からなるトランジスタと単結晶 Si からなるトランジスタを 1 つの基板上の異なる領域に形成した半導体装置を容易に得ることができる。

【0026】

また、上記酸化膜は、膜厚が 200 nm 以上になるように形成されていることがより好ましい。

【0027】

通常、SiO₂膜等の酸化膜の膜厚は厚い程、閾値のバラツキは減少するが、SiO₂膜形成工程の効率（酸化に要する時間）や段差とのトレードオフにより、適切な値は略 200 nm～400 nm となる。バラツキを重視する場合は概ね 400 nm 以上、段差や効率を重視する場合は略 200 nm～400 nm、より望ましくは、250 nm～350 nm が適切な値となる。SiO₂膜の膜厚が厚いと、特に低電圧における動作の安定性が向上する。これは接合した単結晶 Si 基板とガラス基板等の絶縁基板界面の汚染、あるいは格子の歪みや不完全性に起因する固定電荷の影響が軽減されるためである。

【0028】

そこで、本発明によれば、閾値のバラツキと、SiO₂膜形成工程の効率や段差とのバランスに適切な単結晶 Si 基板を得ることができる。

【0029】

本発明の半導体装置は、上記の課題を解決するために、絶縁基板上の異なる領域に、非単結晶 Si 薄膜デバイスと、単結晶 Si 薄膜デバイスとがそれぞれ形成されていることを特徴としている。

【0030】

上記の構成によれば、例えば、タイミングコントローラ等の、より高性能な機能が要求されるデバイスには、単結晶 Si 薄膜トランジスタ等の単結晶 Si 薄膜デバイスを用い、残りのデバイスには非単結晶 Si 薄膜トランジスタ等の非単結晶 Si 薄膜デバイスを用いて、高性能・高機能な回路システムを搭載した半導体装置を得ることができる。

【0031】

すなわち、単結晶 Si 薄膜デバイスは、単結晶 Si の特性を利用して、高速性、消費電力、バラツキが問われる高速のロジック、タイミングジェネレータ、高速の DAC (電流バッファ)、等を形成することができる。一方、多結晶 Si 等の非単結晶 Si 薄膜デバイスは、単結晶 Si 薄膜デバイスよりも、性能・機能ともに劣るものの、安価な半導体装置を形成できる。

【0032】

よって、本発明の構成によれば、上記両 Si 薄膜デバイスの長所を併せ持つ半導体装置を 1 枚の基板上に形成することができる。

【0033】

これにより、単結晶 Si によってのみ実現可能な高性能・高機能の回路システムを基板上に一体集積化できる。よって、例えば、高性能なシステムを集積化した液晶パネルあるいは有機 EL パネル等の表示装置用の半導体装置を、全てのデバイスを単結晶 Si にて形成する場合と比べて、非常に低コストで製造できる。

【0034】

また、本発明の半導体装置が備えている単結晶 Si 薄膜を形成する単結晶 Si 基板の形状は、LSI 製造装置の一般的なウェハサイズである 6、8、12 インチの円板に限定される。しかし、本発明の半導体装置の絶縁基板上には非単結晶 Si 薄膜デバイスと、単結晶 Si 薄膜デバイスとが共存しているため、例えば、大型の液晶表示パネルや有機 EL パネル等に対応可能な大型の半導体装置を製造することができる。

【0035】

上記単結晶 Si 薄膜デバイスは、上記絶縁基板に対して、無機系の絶縁膜によって接着されていることがより好ましい。

【0036】

これにより、接着剤を使用することなく、単結晶 Si 薄膜トランジスタ等のデバイスを絶縁基板上に搭載することができるため、単結晶 Si が汚染されることを防止できる。

【0037】

上記非単結晶 Si 薄膜デバイスおよび上記単結晶 Si 薄膜デバイスは、ともに MOS 型の単結晶 Si 薄膜トランジスタであることがより好ましい。

【0038】

これにより、例えば、CMOS 構造にした場合には、消費電力の低減および電源電圧までフル出力が可能で、低消費電力のロジックに適した半導体装置を得ることができる。

【0039】

上記 MOS 型の単結晶 Si 薄膜トランジスタは、上記絶縁基板側からゲート、ゲート絶縁膜、Si の順に形成されていることがより好ましい。

【0040】

これにより、MOS 型薄膜トランジスタは、ゲートが絶縁基板の側に配置された状態で搭載され、いわゆる絶縁基板上に上下逆さまの MOS 型の単結晶 Si 薄膜トランジスタを搭載した半導体装置を得ることができる。

【0041】

上記 MOS 型の単結晶 Si 薄膜トランジスタの単結晶 Si 薄膜の膜厚は、略 600 nm 以下であることがより好ましい。

【0042】

これにより、上記の半導体装置は、単結晶 Si 薄膜の膜厚 d が不純物 Ni で定まる最大空乏長 W_m に対しバラツキのマーヅィンを含めた小さい値、すなわち不純物密度が実用的下限である 10^{15} センチ⁻³ あっても d の上限である概ね 600 nm 以下である。

【0043】

ここで、 $W_m = [4 \epsilon_s k T \ln (N_i / n_i) q^2 N_i]^{1/2}$ であり、 n_i は真性キャリア密度、 k はボルツマン定数、 T は絶対温度、 ϵ_s は Si の誘電率、

q は電子電荷、 N_i は不純物密度とする。

【0044】

上記の構成によれば、単結晶 Si 薄膜の膜厚が略 600 nm 以下であるので、半導体装置の S 値（サブスレシールド係数）を小さくすることができ、またオフ電流を低下させることができる。

【0045】

上記 MOS 型の単結晶 Si 薄膜トランジスタの単結晶 Si 薄膜の膜厚は、略 100 nm 以下であることがより好ましい。

【0046】

これにより、一層半導体装置の S 値（サブスレシールド係数）を小さくすることができ、またオフ電流についても低下させることができる。よって、MOS 型の単結晶 Si 薄膜トランジスタの特性を最大限に生かすことができる。

【0047】

上記 MOS 型の単結晶 Si 薄膜トランジスタの金属配線パターンは、MOS 型の単結晶 Si 薄膜トランジスタのゲートパターンよりも許容範囲が広い配線形成ルールによって形成されていることがより好ましい。

【0048】

これにより、MOS 型の単結晶 Si 薄膜トランジスタを搭載した半導体装置を外部装置あるいは外部配線に対する接続が容易になり、外部装置等に対する接続不良による製品歩留りを低減できる。

【0049】

上記非単結晶 Si 薄膜デバイスは、MOS 型の非単結晶 Si 薄膜トランジスタであって、上記単結晶 Si 薄膜デバイスは、バイポーラ型の単結晶 Si 薄膜トランジスタであることがより好ましい。

【0050】

これにより、MOS 型の非単結晶 Si 薄膜トランジスタに加えて、バイポーラ型の単結晶 Si 薄膜トランジスタを搭載しているため、より多機能な半導体装置を得ることができる。

【0051】

すなわち、MOS型薄膜トランジスタに加えて、単結晶Si薄膜からなるバイポーラ型薄膜トランジスタを搭載することで、バイポーラ型薄膜トランジスタの特性である、リニア信号処理が可能、ゲートがないため構造が簡単で生産歩留りに優れている、飽和領域での線形性が優れている、アナログ系のアンプ、電流バッファや電源アンプに適する等のメリットをさらに有する半導体装置を得ることができる。

【0052】

上記非単結晶Si薄膜デバイスは、MOS型の非単結晶Si薄膜トランジスタであって、上記単結晶Si薄膜デバイスは、MOS型の単結晶Si薄膜トランジスタおよびバイポーラ型の単結晶Si薄膜トランジスタであることがより好ましい。

【0053】

これにより、MOS型の非単結晶Si薄膜トランジスタおよび単結晶Si薄膜トランジスタ、バイポーラ型の単結晶Si薄膜トランジスタという3種類の特性を有する半導体装置を1つの基板上に形成できる。

【0054】

よって、さらに高性能・高機能な半導体装置を得ることができる。

【0055】

上記単結晶SiからなるMOS型薄膜トランジスタの単結晶Si薄膜は、バイポーラ型薄膜トランジスタの単結晶Si薄膜よりも膜厚が小さいことがより好ましい。

【0056】

通常、MOS型薄膜トランジスタは膜厚が薄いほうが良好な特性が得られやすく、バイポーラ型薄膜トランジスタは膜厚が比較的厚いほうが良好な特性が得られることが知られている。

【0057】

そこで、本発明によれば、MOS型とバイポーラ型とのSi薄膜の厚さを互いの比較によって特定することで、MOS型およびバイポーラ型双方の特性を有効に活用できる半導体装置を得ることができる。

【0058】

上記バイポーラ型の単結晶 Si 薄膜トランジスタは、ベース、コレクタおよびエミッタ領域が同一平面に形成、配置された平面構造であることがより好ましい。

【0059】

これにより、MOS 型薄膜トランジスタのようにゲートを持たず、かつ平面構造であるため、CMP による平坦化処理を行わなくても絶縁基板上に容易に搭載することができる。

【0060】

上記バイポーラ型の単結晶 Si 薄膜トランジスタのコンタクトパターンは、バイポーラ型の単結晶 Si 薄膜トランジスタのベースパターンよりも許容範囲が広い配線形成ルールによって形成されていることがより好ましい。

【0061】

これにより、バイポーラ型単結晶 Si 薄膜トランジスタを搭載した半導体装置を外部装置あるいは外部配線に対する接続が容易になり、外部装置等に対する接続不良による製品歩留りを低減できる。

【0062】

上記バイポーラ型単結晶 Si 薄膜トランジスタの単結晶 Si 薄膜の膜厚は、略 800 nm 以下であることがより好ましい。

【0063】

これにより、バイポーラ型単結晶 Si 薄膜トランジスタの単結晶 Si 薄膜の厚さ限界である 800 nm 以下に膜厚を設定することで、特性を悪化させることなく、バイポーラ型単結晶 Si 薄膜トランジスタを得ることができる。

【0064】

上記非単結晶 Si 薄膜は多結晶 Si 薄膜もしくは連続粒界 Si 薄膜であって、上記非単結晶 Si 薄膜からなる MOS 型薄膜トランジスタは、基板側から非単結晶 Si、ゲート絶縁膜、ゲートの順に形成されていることがより好ましい。

【0065】

これにより、絶縁基板から見てゲートが上に形成されるように MOS 型薄膜ト

ランジスタを構成することで、多結晶 Si 薄膜あるいは連続粒界 Si 薄膜を形成し易くなり、生産性を向上させることができる。

【0066】

上記非単結晶 Si 薄膜は多結晶 Si 薄膜もしくは連続粒界 Si 薄膜であって、上記非単結晶 Si 薄膜からなる MOS 型薄膜トランジスタは、基板側からゲート、ゲート絶縁膜、非単結晶 Si の順に形成されていることがより好ましい。

【0067】

これにより、MOS 型の非単結晶 Si 薄膜トランジスタが基板から見て反対の構成であっても、上記と同様の効果を得られる構成のバリエーションを増やすことができる。

【0068】

上記非単結晶 Si 薄膜は非晶質 Si 薄膜であって、上記非単結晶 Si 薄膜からなる MOS 型薄膜トランジスタは、基板側からゲート、ゲート絶縁膜、非単結晶 Si の順に形成されていることがより好ましい。

【0069】

これにより、絶縁基板から見てゲートが下に形成される、いわゆるボトムゲート構造の MOS 型薄膜トランジスタを構成することで、非晶質 Si 薄膜を形成する工程の簡略化、低コスト化、生産性向上を図ることができる。

【0070】

また、非晶質 Si は、低 off 電流特性を有しているため、低消費電力型 LCD 等に適応した半導体装置を得ることができる。

【0071】

上記非単結晶 Si 薄膜は非晶質 Si 薄膜であって、上記非単結晶 Si 薄膜からなる MOS 型薄膜トランジスタは、基板側から非単結晶 Si、ゲート絶縁膜、ゲートの順に形成されていることがより好ましい。

【0072】

これにより、MOS 型の非単結晶 Si 薄膜トランジスタが基板から見て反対の構成であっても、上記と同様の効果を得られる構成のバリエーションを増やすことができる。

【 0 0 7 3 】

上記単結晶 S i 薄膜デバイスを構成する単結晶 S i と上記絶縁基板の線膨張係数の差は、室温から 6 0 0 ℃の温度範囲において約 2 5 0 p p m 以下であることがより好ましい。

【 0 0 7 4 】

これにより、絶縁基板と単結晶 S i 薄膜との線膨張係数の差が小さくなる。従って、絶縁基板上に単結晶 S i 薄膜を形成するための工程において、熱膨張係数差による水素注入位置からの劈開剥離工程における破壊や接合界面剥離、あるいは結晶中の欠陥発生を確実に防止することができ、また、加熱接合強度の向上を図ることができる。なお、ここで熱膨張率とは、温度変化に起因する長さの変化率である。

【 0 0 7 5 】

上記絶縁基板は、少なくとも、上記単結晶 S i 薄膜デバイスが搭載される領域の表面に S i O₂膜が形成されたアルカリ土類－アルミノ硼珪酸ガラスからなる高歪点ガラスであることがより好ましい。

【 0 0 7 6 】

これにより、単結晶 S i 基板との接合のために使用する組成を調節した結晶化ガラスを用いる必要が無くなるので、絶縁基板がアクティブマトリクス駆動による液晶表示パネル等に一般的に使用される高歪点ガラスからなり、低コストの半導体装置を製造できる。

【 0 0 7 7 】

上記絶縁基板は、バリウム－硼珪酸ガラス、バリウム－アルミノ硼珪酸ガラス、アルカリ土類－アルミノ硼珪酸ガラス、硼珪酸ガラス、アルカリ土類－亜鉛－鉛－アルミノ硼珪酸ガラスおよびアルカリ土類－亜鉛－アルミノ硼珪酸ガラスのうち何れかのガラスから形成されていることがより好ましい。

【 0 0 7 8 】

これにより、絶縁基板がアクティブマトリクス駆動による液晶表示パネル等に一般的に使用される高歪点ガラスである上記記載のガラスからなるため、低コストにてアクティブマトリクス基板に好適な半導体装置を製造できる。

【0079】

本発明の半導体装置の製造方法は、上記の課題を解決するために、絶縁基板上に、単結晶 Si 薄膜デバイスと非単結晶 Si 薄膜デバイスとが形成された半導体装置の製造方法において、上記単結晶 Si 薄膜デバイスを含む回路を絶縁基板上に搭載した後、上記非単結晶 Si 薄膜を形成することを特徴としている。

【0080】

上記の製造方法によれば、単結晶 Si 薄膜デバイスを、平坦性が最もよい絶縁基板上に搭載し、その後で非単結晶 Si 薄膜を形成している。よって、接合不良による欠陥が少なく、歩留りがよい半導体装置を製造することができる。

【0081】

上記単結晶 Si 薄膜デバイスに、メタル配線を形成することがより好ましい。

【0082】

これにより、非単結晶 Si 薄膜の形成よりも先に搭載される単結晶 Si 薄膜デバイスがメタル配線を有しているため、微細化加工が可能になり、単結晶 Si 薄膜に形成する回路の集積密度の大幅アップが実現できる。さらに、単結晶 Si 薄膜デバイスの搭載後に形成される非単結晶 Si 薄膜にもメタル配線を設けることで、ダブルメタル配線構造の半導体装置を製造することができる。

【0083】

上記単結晶 Si 薄膜デバイスを搭載した後、上記非単結晶 Si 薄膜を形成する前に、層間絶縁膜を形成することがより好ましい。

【0084】

これにより、単結晶 Si 薄膜デバイスと非単結晶 Si 薄膜との間に層間絶縁膜が形成されているため、単結晶 Si 薄膜の単結晶 Si の汚染を確実に防止できる。

【0085】

本発明の半導体装置の製造方法は、上記の課題を解決するために、絶縁基板上に、単結晶 Si 薄膜デバイスと非単結晶 Si 薄膜とが形成された半導体装置の製造方法において、上記非単結晶 Si 薄膜を上記絶縁基板上に形成した後、上記単結晶 Si 薄膜デバイスを搭載することを特徴としている。

【0086】

上記の製造方法によれば、非単結晶 Si 薄膜を単結晶 Si 薄膜デバイス搭載前に形成するため、単結晶 Si 薄膜デバイスを搭載した後で非単結晶 Si 薄膜を形成する場合と比較して、単結晶 Si 薄膜が汚染されるのを防止できる。

【0087】

上記単結晶 Si 薄膜デバイスは、MOS 型の単結晶 Si 薄膜トランジスタであることがより好ましい。

【0088】

これにより、例えば、CMOS 構造にした場合には、消費電力の低減および電源電圧までフル出力が可能で、低消費電力のロジックに適した半導体装置を得ることができる等の MOS 型トランジスタの特性を有する半導体装置を製造することができる。

【0089】

上記単結晶 Si 薄膜デバイスは、バイポーラ型の単結晶 Si 薄膜トランジスタであることがより好ましい。

【0090】

これにより、バイポーラ型トランジスタを絶縁基板上に搭載することで、単結晶 Si 薄膜の構成を MOS 型よりも簡略化でき、平坦化処理を行うことなく絶縁基板に貼り付けることができる。

【0091】

上記単結晶 Si 薄膜デバイスを形成するための単結晶 Si 基板に対して、所定の深さに所定の濃度の水素イオンを注入することがより好ましい。

【0092】

これにより、接着剤を使用することなく、容易に単結晶 Si 薄膜デバイスを絶縁基板上に搭載することができる。

【0093】

すなわち、水素イオンを注入した水素イオン注入領域を形成することで、絶縁基板上に単結晶 Si 薄膜デバイスを搭載する場合には、単結晶 Si 薄膜デバイスを水素イオンが Si から離脱する温度まで加熱し、絶縁基板に対する接合強度を

高めることができるとともに、水素イオン注入領域を境に劈開剥離することで、容易にバイポーラ型の単結晶 Si 薄膜トランジスタを形成することができる。

【0094】

なお、上記所定の深さとは、形成する単結晶 Si 薄膜の厚さに応じて決定すればよく、例えば、不純物イオンを注入した領域、つまり、ソース・ドレイン領域に沿って形成すればよい。

【0095】

上記水素イオンの注入エネルギーは、該水素イオンの注入エネルギーから上記酸化膜の膜厚に相当する水素イオンのプロジェクションレンジに対応するエネルギーを差し引いたエネルギーが、上記酸化膜の膜厚に相当する、該酸化膜上に形成された層内に存在する材料の構成原子のプロジェクションレンジに対応するエネルギーよりも小さくなるように設定されていることがより好ましい。

【0096】

これにより、例えば、MOS型の単結晶 Si 薄膜トランジスタにおいて、単結晶 Si 基板に対して照射された水素イオンが、ゲート電極材料の構成原子に衝突して、弾性散乱によりはじき出されたゲート電極材料の構成原子が酸化膜を通過し、単結晶 Si にまで達して、単結晶 Si 部分が汚染されることを防止することができる。

【0097】

【発明の実施の形態】

〔実施形態1〕

本発明の単結晶 Si 基板、半導体装置およびその製造方法の一実施形態に係る半導体装置とその製造方法について、図1(a)～図1(i)を用いて説明すれば以下のとおりである。

【0098】

なお、本実施形態で説明する半導体装置は、MOS型の非単結晶 Si 薄膜トランジスタとMOS型の単結晶 Si 薄膜トランジスタとを絶縁基板上の異なる領域に搭載した高性能・高機能化に適した半導体装置であって、TFTによるアクティブマトリクス基板に搭載される。

【0099】

このMOS型の薄膜トランジスタは、活性半導体層、ゲート電極、ゲート絶縁膜、ゲート両側に形成された高濃度不純物ドーパ部（ソース・ドレイン電極）からなり、ゲート電極により、ゲート下の半導体層のキャリア濃度が変調され、ソース・ドレイン間を流れる電流が制御される一般的なトランジスタである。

【0100】

MOS型トランジスタの特性としては、COMS（Complementary MOS）構造にすると、消費電力が少なく、電源電圧に応じて出力をフルに振ることができることから、低消費電力型のロジックに適している。

【0101】

本実施形態の半導体装置20は、図1（i）に示すように、絶縁基板2上に、 SiO_2 （酸化Si）膜（酸化膜）3、多結晶Siからなる非単結晶Si薄膜5'を含むMOS型の非単結晶Si薄膜トランジスタ1a、単結晶Si薄膜14aを備えたMOS型の単結晶Si薄膜トランジスタ（単結晶Si薄膜デバイス）16a、金属配線22を備えている。

【0102】

絶縁基板2は、高歪点ガラスであるコーニング社のcode1737（アルカリ土類-アルミノ硼珪酸ガラス）が用いられている。

【0103】

SiO_2 膜3は、絶縁基板2の表面全体に、膜厚約50nmで形成されている。

【0104】

非単結晶Si薄膜5'を含むMOS型の非単結晶Si薄膜トランジスタ1aは、層間絶縁膜としての SiO_2 膜4上に、非単結晶Si薄膜5'、ゲート絶縁膜としての SiO_2 膜7、ゲート電極6を備えている。

【0105】

ゲート電極6は、多結晶SiとWシリサイドとから形成されているが、多結晶Si、他のシリサイドあるいはポリサイド等から形成されていてもよい。

【0106】

一方、単結晶 Si 薄膜 14 a を含む MOS 型の単結晶 Si 薄膜トランジスタ 16 a は、ゲート電極 12 を有する平坦化層、ゲート絶縁膜としての SiO₂ 膜 13、単結晶 Si 薄膜 14 a とを備えている。

【0107】

ゲート電極 12 の材料は、ヘビードープの多結晶 Si 膜と W シリサイドを用いているが、材料は多結晶 Si 単独であっても、また他の高融点金属やシリサイドであってもよく、必要な抵抗や耐熱性を考慮して選択される。

【0108】

また、この単結晶 Si 薄膜トランジスタ 16 a は、絶縁基板 2 に搭載される前に単結晶 Si 基板上で形成され、ゲート電極 12、ゲート絶縁膜 13、単結晶 Si 薄膜 14 a を含んだ状態で、絶縁基板 2 上に搭載される。よって、単結晶 Si 基板 10 a 上で薄膜トランジスタを形成する方が、絶縁基板 2 上に形成した単結晶 Si 薄膜から薄膜トランジスタを形成するよりも、単結晶 Si 薄膜への微細加工を容易に行うことができる。

【0109】

本実施形態の半導体装置 20 は、以上のように、1 枚の絶縁基板 2 上に、MOS 型の非単結晶 Si 薄膜トランジスタ 1 a と、MOS 型の単結晶 Si 薄膜トランジスタ 16 a とを共存させることで、特性が異なる複数の回路を集積化した高性能・高機能な半導体装置を得ることができる。また、1 枚の絶縁基板 2 上に、全て単結晶 Si 薄膜からなるトランジスタを搭載するよりも、安価に高性能・高機能な半導体装置を得ることができる。

【0110】

なお、非単結晶 Si 薄膜 5' の領域と単結晶 Si 薄膜 14 a の領域とは、少なくとも 0.3 μ m 以上、好ましくは 0.5 μ m 以上離れている。これにより、単結晶 Si 薄膜 14 a に、Ni、Pt、Sn、Pd 等の金属原子が拡散するのを防止することができ、単結晶 Si 薄膜トランジスタ 16 a の特性を安定化させることができる。

【0111】

さらに、本実施形態の半導体装置 20 には、非単結晶 Si 薄膜トランジスタ 1

aと単結晶Si薄膜トランジスタ16aとの間の層間絶縁膜として、SiO₂膜4が形成されている。これにより、単結晶Si薄膜14aが汚染されることを防止できる。

【0112】

例えば、本発明の半導体装置20を液晶表示装置のアクティブマトリクス基板に搭載する場合には、さらに、液晶表示用に、SiN_x（窒化Si）、樹脂平坦化膜、ビアホール、透明電極が形成される。そして、非単結晶Si薄膜5'の領域には、ドライバおよび表示部用のTF Tが形成され、より高性能が要求されるデバイスに適応可能な単結晶Si薄膜14aの領域には、タイミングコントローラが形成される。

【0113】

このように、単結晶Si薄膜14a、非単結晶Si薄膜5'からなる薄膜トランジスタのそれぞれの特性に応じて、各薄膜トランジスタの機能・用途を決定することで、高性能・高機能な薄膜トランジスタを得ることができる。

【0114】

なお、従来の非単結晶Si薄膜5'の領域に形成したNチャネルTF Tは、約100 cm²/V・secの移動度であったのに対し、本実施形態の半導体装置を搭載した液晶表示用アクティブマトリクス基板においては、単結晶Si薄膜14aの領域に形成したNチャネルTF Tが約550 cm²/V・secの移動度であった。このように、本実施形態の半導体装置20の構成によれば、従来に比べて高速動作が可能なTF Tを得ることができる。

【0115】

また、この液晶表示用のアクティブマトリクス基板において、ドライバはもとより非単結晶Si薄膜5'の領域に形成されているデバイスが7～8 Vの信号と電源電圧を要するのに対し、単結晶Si薄膜14aの領域に形成されているデバイスであるタイミングコントローラは2.7 Vにて安定に動作した。

【0116】

また、半導体装置20においては、集積回路が非単結晶Si薄膜5'の領域と単結晶Si薄膜14aの領域とに形成されることにより、必要とする構成および

特性に合わせて集積回路を適した領域に形成することができる。そして、それぞれの領域に形成された集積回路において、動作速度や動作電源電圧等が異なる性能の集積回路を作ることができる。例えば、ゲート長、ゲート絶縁膜の膜厚、電源電圧、ロジックレベルのうち少なくとも1つが領域毎に異なる設計とすることができる。

【0117】

これにより、領域ごとに異なる特性を有するデバイスを形成でき、より多様な機能を備えた半導体装置を得ることができる。

【0118】

さらに、半導体装置20においては、集積回路が非単結晶Si薄膜5'の領域と単結晶Si薄膜14aの領域とに形成されるため、それぞれの領域に形成された集積回路は、領域毎に異なる加工ルールを適用することができる。例えば、短チャネル長の場合、単結晶Si薄膜領域には結晶粒界がないため、TFT特性のバラツキが殆ど増加しないのに対し、多結晶Si薄膜領域では、結晶粒界の影響でバラツキが急速に増加するため、加工ルールを各々の部分で変える必要があるからである。よって、加工ルールに合わせて集積回路を適した領域に形成することができる。

【0119】

また、本実施形態の半導体装置20では、MOS型の単結晶Si薄膜トランジスタ16aにおいて、その金属配線パターンは、ゲートパターンよりも許容範囲が広い配線形成ルールによって形成することが可能である。

【0120】

これにより、MOS型の単結晶Si薄膜トランジスタ16aを搭載した半導体装置を外部装置あるいは外部配線に対する接続が容易になり、外部装置等に対する接続不良による製品歩留りを低減できる。

【0121】

なお、半導体装置20上に形成される単結晶Si薄膜14aのサイズは、LSI製造装置のウエハサイズによって決まることになる。しかし、単結晶Si薄膜14aを必要とする高速性、消費電力、バラツキが問われる高速のロジック、タ

イミングジェネレータ、高速のDAC（電流バッファ）、あるいはプロセッサ等を形成するためには、一般的なLSI製造装置のウエハサイズで十分である。

【0122】

ここで、半導体装置20の製造方法について、図1(a)～図1(i)を用いて説明すれば以下のとおりである。

【0123】

先ず、絶縁基板2の表面全体にTEOSとO₂との混合ガスを用いて、プラズマCVDによって、膜厚約50nmのSiO₂膜21を堆積する。

【0124】

本実施形態の半導体装置20の製造方法では、ここで、単結晶Si薄膜トランジスタ16aを別途作り込んだ単結晶Si基板10aを形成し、この単結晶Si基板10aを絶縁基板2上に搭載している。

【0125】

具体的には、予め一般的なIC製造ラインでCMOS工程の一部、つまりゲート電極12、ゲート絶縁膜13、ソース・ドレイン不純物イオン注入(BF³⁺、P⁺)、保護絶縁膜、平坦化膜(BPSG)を形成後、CMP (Chemical-Mechanical Polishing) によって平坦化処理を行う。続いて、膜厚約10nmのSiO₂膜を形成し、 $5 \times 10^{16} / \text{cm}^2$ のドーズ量の水素イオンを所定のエネルギーにて注入した水素イオン注入領域15を有する単結晶Si基板10aを作成する。そして、これを絶縁基板2上の搭載領域に適合した所定のサイズに切断する。

【0126】

そして、図1(b)に示すように、絶縁基板2および切断した単結晶Si基板10aの両基板をSC-1洗浄し活性化した後、単結晶Si基板10aの水素イオン注入領域15側を所定の位置にアライメントし、室温で密着させて接合する。

【0127】

その後、図1(c)に示すように、300℃～600℃、ここでは約550℃の温度で熱処理し、単結晶Si基板10aの水素イオン注入領域15の温度を単結晶Siから水素が離脱する温度以上に昇温する。これにより、単結晶Si基板

10aの不要部分11を、水素イオン注入領域15を境に劈開剥離することができる。

【0128】

ここで、単結晶Si薄膜トランジスタ16aは、絶縁基板2に対して、無機系の絶縁膜3を介して接合される。よって、従来の接着剤を用いて接合する場合と比較して、単結晶Si薄膜14aが汚染されることを確実に防止できる。

【0129】

続いて、剥離されて絶縁基板2上に残った単結晶Si薄膜14aの不要部分をエッチング除去し、単結晶Siを島状に加工した後、表面の損傷層を、等方性プラズマエッチングまたはウエットエッチング、ここではバッファフッ酸によるウエットエッチングにて約10nmライトエッチすることにより除去する。これにより、図1(i)に示すように、絶縁基板2上に膜厚約50nmの単結晶Si薄膜14aにMOSTFTの一部が形成される。

【0130】

その後、図1(d)に示すように、絶縁基板2の全面にSiH₄とN₂Oとの混合ガスを用いたプラズマCVDによって、膜厚約200nmの第2のSiO₂膜4を堆積する。さらに、その全面にSiH₄ガスを用いてプラズマCVDにより、膜厚約50nmの非晶質Si膜5を堆積する。

【0131】

非晶質Si膜5にエキシマレーザを照射して、加熱、結晶化し、多結晶Si層を成長させて非単結晶Si薄膜5'を形成するとともに、単結晶Si薄膜14aと絶縁膜3との接合強度向上を図る。

【0132】

次に、図1(f)に示すように、デバイスの活性領域となる部分を残すために、不要な多結晶Si膜5'をエッチングにより除去し、島状のパターンを得る。

【0133】

次に、TEOSと酸素との混合ガスを用いて、プラズマCVDにより膜厚約350nmのSiO₂膜を堆積し、これを異方性エッチングであるRIEにて約400nmエッチバックする。その後、非単結晶Si薄膜トランジスタ1aのゲー

ト絶縁膜として SiH_4 と N_2O との混合ガスを用いたプラズマCVDにより、膜厚約60nmの SiO_2 膜7を形成する。このとき、上記単結晶 Si 薄膜14aのパターンおよび非単結晶 Si 薄膜5'のパターンの端部にサイドウォールが形成される。

【0134】

次に、図1(g)に示すように、TEOSと O_2 (酸素)の混合ガスを用いP-CVDにより、層間平坦化絶縁膜として、膜厚約350nmの SiO_2 膜8を堆積する。

【0135】

そして、図1(h)に示すように、コンタクトホール21を開口し、図1(i)に示すように、コンタクトホール21に金属(AlSi)配線22を形成する。

【0136】

本実施形態の半導体装置の製造方法では、以上のように、単結晶 Si 薄膜トランジスタ16aを、非単結晶 Si 薄膜(多結晶 Si 薄膜)5'を形成する前に搭載している。これにより、絶縁基板2の平坦性が保たれた状態で単結晶 Si 薄膜トランジスタ16aを搭載することができるため、接合不良等の問題の発生を防止できる。

【0137】

なお、本実施形態において、水素イオンの注入エネルギーを大きくして水素原子のピーク位置を表面から深い位置になるようにし、単結晶 Si 薄膜14aの膜厚を厚くすると50nm~100nmでは大きな変化はない。しかし、300nm~600nmまで大きくなると次第にTFTのS値が大きくなり、オフ電流の低下が著しくなった。よって、単結晶 Si 薄膜14aの膜厚は、不純物のドーピング密度にも依存するが、概ね600nm以下、望ましくは約500nm以下、より望ましくは100nm以下であることが好ましい。

【0138】

また、絶縁基板2として、コーニング社のcode1737(アルカリ土類-アルミノ硼珪酸ガラス)の替わりにコーニング社のcode7059(バリウム

—硼珪酸ガラス)を用いた場合、同様に接合はできるものの、劈開剥離の成功率は大きく悪化した。

【0139】

これは、図8に示すように、code1737はSiとの線膨張係数の差が約250ppmであるのに対し、code7059はSiとの線膨張係数の差が約800ppmと大きくなるためである。

【0140】

従って、劈開剥離の成功率を向上させる観点から、室温から600℃までの絶縁基板とSiとの線膨張係数の差は、約250ppm以下であることが望ましい。

【0141】

なお、この単結晶Si薄膜トランジスタ16aは、本実施形態で示した構成に限定されるものではない。例えば、ゲートボトム構造のMOS型薄膜トランジスタであっても、上記と同様の効果を得ることができる。

【0142】

〔実施形態2〕

本発明の単結晶Si基板、半導体装置およびその製造方法に関する他の実施形態について、図2(a)～図2(i)に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、実施形態1の半導体装置20で説明した部材と同じ機能を有する部材については、その説明を省略する。

【0143】

本実施形態の半導体装置30は、上述した実施形態1の半導体装置20と同様に、MOS型の単結晶Si薄膜トランジスタ16aと非単結晶Si薄膜トランジスタ1aとを絶縁基板2上の異なる領域に搭載している。よって、本実施形態の半導体装置30についても、実施形態1の半導体装置20と同様に、高性能・高機能な半導体装置を得ることができる。

【0144】

一方、半導体装置30は、単結晶Si薄膜トランジスタ16aを、非単結晶Si薄膜トランジスタ1aの形成後に搭載する点で、実施形態1の半導体装置20

と異なっている。

【0145】

本実施形態の半導体装置 30 は、絶縁基板 2 上に、SiO₂膜 3、非単結晶 Si 薄膜トランジスタ 1a、単結晶 Si 薄膜トランジスタ 16a、金属配線 22 等を備えている。

【0146】

非単結晶 Si 薄膜トランジスタ 1a は、非単結晶 Si 薄膜 5'、ゲート絶縁膜としての SiO₂膜 7 およびゲート電極 6 を備えている。

【0147】

単結晶 Si 薄膜トランジスタ 16a は、上述したように、非単結晶 Si 薄膜トランジスタ 1a が形成された絶縁基板 2 上に、層間絶縁膜 7 を介して搭載されている。

【0148】

また、単結晶 Si 薄膜トランジスタ 16a を作成するための単結晶 Si 基板 10a は、絶縁基板 2 上に搭載される前において、MOS 型の単結晶 Si 薄膜トランジスタを作成するための処理が施されている。具体的には、ゲート電極、ゲート絶縁膜を形成し、ソース・ドレインの不純物イオンを注入し、P 型と N 型各々のチャネル部分へチャネル注入を行い、ゲート電極上に層間平坦化膜、ここでは、CVD による SiO₂ とデポ後の BPSG をメルトしてさらに CMP で平坦化したものとを所定の形状に切断する工程を行う。そして、表面に MOS 型の単結晶 Si 薄膜トランジスタ 14a を形成した単結晶 Si 基板 10a を SC1 洗浄液で洗浄し、パーティクル除去と表面の活性化とを行い、室温下でアライメントマークにより位置合わせを行ってから絶縁基板 2 上に搭載した。ここでは、ゲート長が 0.35 μm になるように加工を行い、コンタクトおよびメタル配線部分の加工ルールは、大型ガラス基板でのフォトリソグラフィーの精度、および接合時のアライメント精度に対応するため、線幅およびスペースについて 2 ミクロンとした。

【0149】

本実施形態の半導体装置 30 においては、MOS 型トランジスタが非単結晶 Si

i 薄膜 5' の領域と単結晶 Si 薄膜 14a の領域とに形成されている。そして、各領域に形成された同一導電型のトランジスタにおいて、移動度、サبسレシヨルド係数、閾値のうち少なくとも 1 つが領域毎に異なっている。よって、所望の特性に応じて、対応する単結晶 Si あるいは非単結晶 Si 薄膜領域にトランジスタを形成することができる。

【0150】

ここで、上記半導体装置 30 の製造方法について、図 2 (a) ~ 図 2 (i) に基づいて説明すれば以下のとおりである。

【0151】

先ず、絶縁基板 2 としては、高歪点ガラスであるコーニング社の code 1737 (アルカリ土類-アルミノ硼珪酸ガラス) を用いる。そして、図 2 (a) に示すように、その表面に TEOS (Tetra Ethoxy Silane、すなわち Si (OC₂H₅)₄) と O₂ (酸素) との混合ガスを用いプラズマ CVD により、プラズマ化学気相成長 (Plasma Chemical Vapor Deposition、以下、P-CVD と記す。) により、膜厚約 100 nm の SiO₂ 膜 3 を堆積する。

【0152】

さらに、その表面に SiH₄ ガスを用いプラズマ CVD により、膜厚約 50 nm の非晶質 Si 膜 5 堆積する。

【0153】

続いて、図 2 (b) に示すように、非晶質 Si 膜 5 にエキシマレーザを照射して、加熱、結晶化し、多結晶 Si 層を成長させ、非単結晶 Si 薄膜 5' を形成する。なお、非晶質 Si 膜 5 への加熱は、エキシマレーザによる照射加熱に限らず、例えば、他のレーザによる照射加熱、あるいは炉を用いる加熱であってもよい。また、結晶の成長を促進させるために、非晶質 Si 膜 5' に、Ni、Pt、Sn、Pd のうち、少なくとも 1 つを添加してもよい。

【0154】

そして、非単結晶 Si 薄膜 5' の所定の領域を、図 2 (c) に示すように、エッチング除去する。

【0155】

次に、図 2 (c) に示すように、非単結晶 Si (ここでは多結晶 Si または連続粒界 Si) の TFT 用に SiH₄ と N₂O ガスを用いたプラズマ CVD により、80 ~ 100 nm のゲート絶縁膜として、SiO₂ 膜 7 を堆積した後、ゲート電極 6 を形成する。

【0156】

次に、図 2 (d) に示すように、ソース・ドレインの不純物イオンを注入し、その表面に TEOS (Tetra Ethoxy Silane、すなわち Si (OC₂H₅)₄) と O₂ (酸素) との混合ガスを用いたプラズマ CVD により、層間絶縁膜として、膜厚約 250 nm の SiO₂ 膜 4 を堆積する。

【0157】

ここで、本実施形態の半導体装置 30 では、上記実施形態 1 の半導体装置 20 と同様に、MOS 型の単結晶 Si 薄膜トランジスタ 16a が形成された単結晶 Si 基板 10a を作成する。

【0158】

そして、この単結晶 Si 基板 10a を、非単結晶 Si 薄膜 5' をエッチングにより除去した所定の領域と比較して、若干小さい形状にダイシング、あるいは KOH 等による異方性エッチングなどによって切断する。

【0159】

非単結晶 Si 薄膜 5' が形成された絶縁基板 2 と単結晶 Si 基板 10a とを、パーティクル除去と表面の活性化のため SC-1 で洗浄した後、図 2 (e) に示すように、単結晶 Si 基板 10a の水素イオン注入領域 15 側を、上記エッチング除去した領域に室温でアライメントし、密着させて接合する。ここで、SC-1 洗浄とは、一般に RCA 洗浄と呼ばれる洗浄法の一つであって、アンモニアと過酸化水素と純水からなる洗浄液を用いる。

【0160】

なお、単結晶 Si 基板 10a の絶縁基板 2 上への搭載は、ゲート絶縁膜として SiO₂ 膜 7 の形成後、層間絶縁膜としての SiO₂ 膜 4 の堆積前であってもよい。

【0161】

その後、300℃～600℃、ここでは約550℃の温度で熱処理し、単結晶Si基板10aの水素イオン注入領域15の温度を単結晶Siから水素が離脱する温度以上まで昇温する。これにより、単結晶Si基板10aを、水素イオン注入領域15を境に劈開剥離することができる。なお、この熱処理は、レーザ照射または約700℃以上のピーク温度を含むランプアニールによって、単結晶Si基板10aの水素イオン注入領域15を昇温してもよい。

【0162】

次に、剥離されて絶縁基板2上に残った単結晶Si基板10aの表面の損傷層を、等方性プラズマエッチングまたはウエットエッチング、ここではバッファフッ酸による等方性プラズマエッチングにて約20nmライトエッチすることにより除去する。これにより、図2(f)に示すように、1枚の絶縁基板2上に、それぞれ膜厚約50nmの非単結晶Si薄膜5'と単結晶Si薄膜14aとを得ることができる。なお、単結晶Si基板10aを絶縁基板2上に室温にて接合後、300～350℃で約30分熱処理した後、約550℃にて熱処理し、劈開剥離することで劈開剥離に伴う剥がれが減少した。

【0163】

この時点では、すでに十分なSiと基板との接合強度が得られているが、さらに接合強度を向上させるために、その後、約800℃にて1分間ランプアニール処理を行う。なお、この処理は、ソース・ドレインの注入不純物の活性化と兼ねて行ってもよい。

【0164】

そして、図2(g)に示すように、層間平坦化絶縁膜としてSiO₂膜8を堆積し、図2(h)に示すように、コンタクトホール21を開口し、図2(i)に示すように、金属配線22を形成する工程については、実施形態1と同様である。

【0165】

本実施形態の半導体装置の製造方法では、以上のように、先に非単結晶Si薄膜トランジスタ1aを形成した後で、単結晶Si薄膜トランジスタ16aを搭載することで、先に単結晶Si薄膜トランジスタを搭載する実施形態1の半導体装

置 20 と比較して、製造工程を簡略化できるとともに、単結晶 Si 薄膜が汚染されることを防止できる。

【0166】

〔実施形態 3〕

本発明の単結晶 Si 基板、半導体装置およびその製造方法に関するさらに他の実施形態について、図 3 (a) ~ 図 3 (f) および図 4 に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、実施形態 1・2 において説明した部材と同様の機能を有する部材については、その説明を省略する。

【0167】

本実施形態の半導体装置 40 は、図 3 (f) に示すように、実施形態 1 と同様に、1 枚の絶縁基板 2 上に、非単結晶 Si 薄膜トランジスタと単結晶 Si 薄膜トランジスタとを搭載した半導体装置であって、非単結晶 Si 薄膜の形成前に単結晶 Si 薄膜トランジスタを搭載する点で共通する。一方、単結晶 Si 薄膜トランジスタとして搭載するトランジスタが、MOS 型ではなくバイポーラ型の単結晶 Si 薄膜トランジスタである点で異なっている。

【0168】

このように、非単結晶 Si 薄膜トランジスタとして MOS 型、単結晶 Si 薄膜トランジスタとしてバイポーラ型のトランジスタを搭載することで、実施形態 1・2 で説明した半導体装置 20・30 とは異なる特性を有する半導体装置 40 を得ることができる。

【0169】

ここで、バイポーラ型薄膜トランジスタは、第 1 の導電型の半導体コレクタとエミッタとの電流パスの中間に、狭い逆導電型層（ベース）を設け、エミッタとベース間のバイアスを順～逆にすることで、エミッタからベースに流れ込む少数キャリアの数を制御し、ベースを拡散してコレクタに流れ込む少数キャリアによる電流を制御するトランジスタである。

【0170】

このバイポーラ型薄膜トランジスタは、MOS 型のようにゲート電極が形成されないため、構造を簡素化できるとともに、製造歩留りの向上が図れる。また、

飽和領域における線形性に優れ、反応速度が速いという利点を有し、リニア信号処理が可能であるため、アナログ系のアンプや電流バッファ、電源 IC 等に用いられる。

【0171】

なお、バイポーラ型の単結晶 Si 薄膜トランジスタにおいて、そのコンタクトパターンは、ベースパターンよりも許容範囲が広い配線形成ルールによって形成されている。

【0172】

これにより、バイポーラ型単結晶 Si 薄膜トランジスタを搭載した半導体装置を外部装置あるいは外部配線に対する接続が容易になり、外部装置等に対する接続不良による製品歩留りを低減できる。

【0173】

半導体装置 40 は、図 3 (f) に示すように、絶縁基板 2 上に、SiO₂膜 3、多結晶 Si からなる非単結晶 Si 薄膜 5' を含む非単結晶 Si 薄膜トランジスタ 1a、単結晶 Si 薄膜 14b を含むバイポーラ型の単結晶 Si 薄膜トランジスタ 16b および金属配線 22 により構成されている。

【0174】

このように、1 枚の絶縁基板 2 上に、MOS 型の非単結晶 Si 薄膜トランジスタ 1a と、バイポーラ型の単結晶 Si 薄膜トランジスタ 16b とが搭載されているため、MOS 型、バイポーラ型あるいは非単結晶 Si 薄膜、単結晶 Si 薄膜それぞれの特性を活かして、より多くの用途に対応可能な備えた半導体装置 40 を得ることができる。

【0175】

ここで、上記半導体装置 40 の製造方法について、図 3 (a) ~ 図 3 (f) を用いて説明すれば、以下のとおりである。

【0176】

絶縁基板 2 には、コーニング社の code 1737 (アルカリ土類-アルミノ硼珪酸ガラス) を用い、図 3 (a) に示すように、その表面に TEOS および O₂ の混合ガスを用いて、プラズマ CVD により膜厚約 20 nm の SiO₂ 膜 3 を堆

積する。

【0177】

ここで、本実施形態の半導体装置 40 では、実施形態 1・2 の半導体装置 20・30 と同様に、絶縁基板 2 上に単結晶 Si 薄膜トランジスタ 16b を搭載する前に、予め単結晶 Si 基板 10b にバイポーラ型の単結晶 Si 薄膜トランジスタ 16b を作り込んでおき、この状態で絶縁基板 2 上に搭載する。

【0178】

具体的には、まず、バイポーラ型薄膜トランジスタの PNP 接合あるいは NPN 接合のジャンクション部分を形成する。次に、表面を酸化あるいは酸化膜を堆積することにより、膜厚約 200 nm の SiO₂ 膜 11 を形成する。そして、 $5 \times 10^{16} / \text{cm}^2$ のドーズ量の水素イオンを所定のエネルギーにて所定の深さに注入した水素イオン注入領域 15 を有するバイポーラ型の単結晶 Si 薄膜トランジスタを形成する。

【0179】

このように、バイポーラ型の単結晶 Si 薄膜トランジスタ 16b についても、MOS 型と同様に、所定の深さに所定の濃度の水素イオンが注入された水素イオン注入領域が形成されている。

【0180】

続いて、単結晶 Si 基板 10b を、予め適切な形状に切断し、絶縁基板 2 に搭載する。

【0181】

絶縁基板 2 および切断した単結晶 Si 基板 10b を SC-1 洗浄し活性化した後、図 3 (b) に示すように、単結晶 Si 薄膜トランジスタ 16b の水素イオン注入領域 15 側を、絶縁基板 2 上のエッチング除去した領域に室温で密着させ接合する。

【0182】

なお、本実施形態の半導体装置 40 では、図 4 に示すように、P、N、各々の領域に不純物イオンを注入し、コレクタ 25、ベース 26、エミッタ 27 が平面的に配置された平面 (Lateral) 構造のバイポーラ型の薄膜トランジスタを示し

たが、従来のバイポーラ型の薄膜トランジスタのように縦型構造であってもよい。また、不純物を拡散してジャンクションを形成してもよい。また、SIT (Static Induction Transistor) やダイオードも同様に適用できる。

【0183】

ただし、本実施形態のように、平面型のバイポーラ型薄膜トランジスタを搭載することで、搭載前に平面化処理を施す必要がないため、製造工程をより簡略化し、生産効率を向上させることができる。

【0184】

その後、300℃～600℃、ここでは約550℃の温度で熱処理し、単結晶Si基板10bの水素イオン注入領域15の温度をSiから水素が離脱する温度まで昇温することで、水素イオン注入領域15を境に単結晶Si基板10bの不要部分11を劈開剥離し、バイポーラ型の単結晶Si薄膜トランジスタ16bを絶縁基板2上に作製することができる。

【0185】

次に、絶縁基板2上に残った単結晶Si基板10bの表面の損傷層を、等方性プラズマエッチングまたはウエットエッチング、ここではバッファフッ酸によるウエットエッチングにて約20nmライトエッチすることにより除去する。これにより、図3(c)に示すように、絶縁基板2上に膜厚約80nmのバイポーラ型の単結晶Si薄膜トランジスタ16bを搭載することができる。

【0186】

その後、図3(d)に示すように、絶縁基板2の全面にSiH₄とN₂Oとの混合ガスを用いたプラズマCVDにより、層間絶縁膜として膜厚約200nmのSiO₂膜4を堆積する。さらに、図3(d)に示すように、その表面上にSiH₄ガスを用いてプラズマCVDにより、膜厚約50nmの非晶質Si膜5を堆積する。

【0187】

次に、図3(e)に示すように、非晶質Si膜5にエキシマレーザを照射加熱して結晶化し、多結晶Si層を成長させて非単結晶Si薄膜5'を形成する。このとき、バイポーラ型の単結晶Si薄膜トランジスタ16bの絶縁基板2に対す

る接合強度を向上させることができる。

【0188】

次に、図3(f)に示すように、非単結晶Si薄膜5'のデバイスの活性領域となる部分を残し、不要なSi膜をエッチングにより除去し、島状のパターンを得る。そして、TEOSと酸素との混合ガスを用いたプラズマCVDにより、ゲート絶縁膜として膜厚約350nmのSiO₂膜7を堆積し、さらに約350nmのフォトレジストを樹脂平坦化膜として全面に塗布後、酸素とCF₄を含むガスにより異方性エッチングであるRIE（リアクティブイオンエッチング）により上記樹脂平坦化膜の全部とSiO₂膜4の一部をエッチングバックし（図示せず）、平坦化後、ゲート絶縁膜としてSiH₄とN₂Oとの混合ガスを用いてプラズマCVDにより、膜厚約60nmのSiO₂膜7を形成しする。

【0189】

そして、SiO₂膜7上にゲート電極6を形成し、ゲート電極6、ゲート絶縁膜としてのSiO₂膜7および非単結晶Si薄膜5'からなる非単結晶Si薄膜トランジスタ1aを得ることができる。

【0190】

これ以降の、層間平坦化絶縁膜としてのSiO₂膜8の形成、コンタクトホール21の開口および金属配線22の工程については、上記実施形態1・2と同様であるので説明を省略する。

【0191】

以上のように、本実施形態の半導体装置40の製造方法は、バイポーラ型の単結晶Si薄膜トランジスタ16bを搭載後、多結晶Si薄膜からなる非単結晶Si薄膜トランジスタ1aを搭載するため、平坦な絶縁基板2にそのまま搭載できるため、搭載工程を簡略化でき、バイポーラ型の単結晶Si薄膜トランジスタ16bの絶縁基板2に対する接着強度を向上することができる。

【0192】

また、搭載する単結晶Si薄膜トランジスタがバイポーラ型であるため、平坦化処理が不要であり、製造コストを削減できる。

【0193】

なお、本実施形態の半導体装置 40 では、図 3 (f) に示すように、トランジスタ群を素子分離していないが、リーク電流が問題となる場合、あるいは素子間のクロストークが問題となる場合には、当然素子分離を行えばよい。

【0194】

〔実施形態 4〕

本発明の単結晶 Si 基板、半導体装置およびその製造方法に関するさらに他の実施形態について、図 5 (a) ~ 図 5 (f) に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、実施形態 1 ~ 3 において説明した部材と同様の機能を有する部材については、その説明を省略する。

【0195】

本実施形態の半導体装置 50 は、1 枚の絶縁基板 2 上に、MOS 型の単結晶 Si 薄膜トランジスタと、MOS 型の非単結晶 Si 薄膜トランジスタとを搭載している点で、実施形態 1 の半導体装置 20 と共通する。一方、非単結晶 Si 薄膜として、連続結晶粒界 Si (Continuous Grain Silicon) を用いている点で、上記実施形態 1 の半導体装置 20 と異なっている。

【0196】

このように、非単結晶 Si 薄膜として連続粒界 Si を用いることで、多結晶 Si からなる非単結晶 Si 薄膜トランジスタよりも特性が高い非単結晶 Si 薄膜トランジスタ 1b を得ることができる。

【0197】

本実施形態の半導体装置 50 は、絶縁基板 2 上に、SiO₂ 膜 3、MOS 型の非単結晶 Si 薄膜トランジスタ 1b、MOS 型の単結晶 Si 薄膜トランジスタ 16a とを備えている。

【0198】

特に、非単結晶 Si 薄膜トランジスタ 1b は、非単結晶 Si 薄膜 52' として、結晶成長方向の揃った多結晶 Si、いわゆる連続結晶粒界 Si (Continuous Grain Silicon) を用いて形成されている。

【0199】

なお、従来の連続結晶粒界 Si 領域に形成した N チャネル TFT は、移動度が

約 $200\text{ cm}^2/\text{V} \cdot \text{sec}$ であったのに対し、本実施形態の半導体装置 50 を搭載した液晶表示用アクティブマトリクス基板における、単結晶 Si 薄膜 14 a の領域に形成した N チャネル TFT は、約 $550\text{ cm}^2/\text{V} \cdot \text{sec}$ の移動度が得られた。よって、従来より高速応答が可能なアクティブマトリクス基板を得ることができる。

【0200】

この液晶表示用のアクティブマトリクス基板によれば、ドライバはもとより非単結晶 Si 薄膜 5 2' の領域に形成されているデバイスが 7 ~ 8 V の信号と電源電圧を要するのに対し、単結晶 Si 薄膜 14 a の領域に形成されているデバイスであるタイミングコントローラは 2.7 V の信号と電源電圧とで安定して動作した。

【0201】

ここで、上記半導体装置 50 の製造工程について、図 5 (a) ~ 図 5 (f) を用いて説明すれば以下のとおりである。

【0202】

本実施形態では、上記実施形態 1 と同様に、先ず、絶縁基板 2 としてコーニング社の code 1737 (アルカリ土類-アルミノ硼珪酸ガラス) を用い、図 5 (a) に示すように、その表面全体に TEOS と O_2 混合ガスを用いたプラズマ CVD により、約 100 nm の SiO_2 膜 3 を堆積する。

【0203】

さらに、図 5 (b) に示すように、 SiO_2 膜 3 の表面全体に SiH_4 ガスを用いてプラズマ CVD により、約 50 nm の非晶質 Si 薄膜 5 1 を堆積する。さらに、その表面上全面に SiH_4 と N_2O 混合ガスを用いてプラズマ CVD により約 200 nm の SiO_2 膜 5 2 を堆積する。

【0204】

SiO_2 膜 5 2 における所定の領域にエッチングにより開口部を形成した後、上記開口部における非晶質 Si 薄膜 5 1 の表面の親水性をコントロールするために、非晶質 Si 薄膜 5 1 の表面を薄く酸化して酸化膜 (SiO_2 膜) を形成し、その上に酢酸 Ni 水溶液をスピコートする。

【0205】

次に、580℃の温度にて約8時間固相成長を行い、結晶成長方向の揃った結晶成長を促進させた多結晶Si、いわゆる連続結晶粒界Si (Continuous Grain Silicon) を成長させて連続結晶粒界Si 薄膜51' を形成させる。

【0206】

さらに、図5 (c) に示すように、連続結晶粒界Si 薄膜51' 上のSiO₂ 膜52を除去する。その後、連続結晶粒界Si 薄膜51' の所定の領域をエッチングして除去する。

【0207】

ここで、本実施形態の半導体装置50においても、上記実施形態1と同様に、MOS型の単結晶Si 薄膜トランジスタを作り込んだ単結晶Si 基板10aを用意する。

【0208】

そして、図5 (d) に示すように、連続結晶粒界Si 薄膜51' が形成された絶縁基板2および単結晶Si 基板10aをSC-1洗浄して活性化した後、単結晶Si 基板10aの水素イオン注入領域15側を上記エッチング除去した領域に室温で密着させて接合する。

【0209】

この時、連続結晶粒界Si 薄膜51' と単結晶Si 基板10aとの間は少なくとも0.3ミクロン、好ましくは0.5ミクロン以上離れている。これにより、後述する製造工程において用いられるNi、Pt、Sn、Pd等の金属原子が、単結晶Si 薄膜14aの領域に拡散することを防止し、単結晶Si 薄膜トランジスタの特性を安定化させることができる。

【0210】

その後、レーザ照射または約700℃以上のピーク温度を含むランプアニールによって、単結晶Si 基板10aの水素イオン注入領域15の温度を、単結晶Si から水素が離脱する温度以上に昇温することにより、図5 (e) に示すように、単結晶Si 基板10aの不要部分11を、水素イオン注入領域15を境に劈開剥離する。

【0211】

次に、絶縁基板2上に残った単結晶Si基板10aの損傷層を、等方性プラズマエッチングまたはウェットエッチング、ここではバッファフッ酸によるウェットエッチングにて約10nmライトエッチすることにより除去する。

【0212】

これにより、絶縁基板2上に、それぞれ約50nmの膜厚の連続結晶粒界Si薄膜51'と単結晶Si薄膜14aとを形成することができる。

【0213】

次に、連続結晶粒界Si薄膜51'上の不要部分をエッチング除去する。

【0214】

次に、デバイスの活性領域近傍のSiO₂膜に開口部を形成し、SiO₂膜をマスクに結晶成長を促進するために添加したNiをゲッタリングするため、高濃度のP⁺イオンを注入し(15keV, $5 \times 10^{15}/\text{cm}^2$)、RTAにて約800℃の温度にて1分間の熱処理を行う。

【0215】

なお、単結晶Si薄膜14a中にNi原子が拡散しないように物理的にスペースをとってはいるが、ごく微量のNi原子が、プロセス中に混入する可能性がある。そこで、単結晶Si薄膜14aの活性領域もゲッタリングを行うのが望ましいが、スペースを優先する場合は、設計上の選択肢としてゲッタリングを省略してもよい。

【0216】

次に、デバイスの活性領域となる部分を残し、不要な連続結晶粒界Si薄膜51'の不要部分と単結晶Si薄膜14aとをエッチングして除去し、島状のパターンを得る。

【0217】

次に、TEOSと酸素との混合ガスを用いてP-CVDにより膜厚約350nmのSiO₂膜を堆積し、これを異方性エッチングであるRIEで約400nmエッチバックした後、SiH₄とN₂Oとの混合ガスを用いてプラズマCVDにより、ゲート絶縁膜としての膜厚約60nmのSiO₂膜7を形成する。

【0218】

このとき、連続結晶粒界Si薄膜51'のパターンおよび単結晶Si薄膜14aのパターンの端部には、サイドウォールが形成される。

【0219】

これ以降の、層間平坦化絶縁膜としてのSiO₂膜8の形成、コンタクトホール21の開口および金属配線22の工程については、上記実施形態1・2と同様であるので説明を省略する。

【0220】

以上のように、本実施形態の半導体装置50の製造方法は、非単結晶Si薄膜として多結晶Siを形成後、単結晶Si薄膜トランジスタ16aを搭載し、その後、非単結晶Si薄膜トランジスタ1bのゲート絶縁膜としてのSiO₂膜7を形成しているため、SiO₂膜の数を減らして工程を簡略化できる。

【0221】

〔実施形態5〕

本発明の単結晶Si基板、半導体装置およびその製造方法に関するさらに他の実施形態について、図6(a)～図6(h)に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、実施形態1～4において説明した部材と同様の機能を有する部材については、その説明を省略する。

【0222】

本実施形態の半導体装置60は、1枚の絶縁基板2上に、バイポーラ型の単結晶Si薄膜トランジスタと、MOS型の非単結晶Si薄膜トランジスタとを搭載している点で、実施形態3の半導体装置40と共通する。

【0223】

一方、非単結晶Si薄膜トランジスタとして、ボトムゲート構造のトランジスタを形成している点で、上記実施形態3の半導体装置40とは異なっている。

【0224】

本実施形態の半導体装置60は、図2(c)に示す単結晶Si基板の接合、劈開分離までの工程については、実施形態2の半導体装置30と同様の製造工程によるものであり、製作される半導体装置についても半導体装置30と同じ構造で

ある。

【0225】

それ以降の工程については、図6 (i) に示すように、単結晶デバイス部分の素子分離後、層間絶縁膜が全体に形成され、その上に非晶質SiのTF Tおよび回路を構成するためのゲート電極6が形成されており、その上にゲート絶縁膜62、ノンドープの非晶質Si 63が島状に形成され、さらにN⁺非晶質Si 薄膜64とソース・ドレインの配線のための金属配線65が形成される。

【0226】

なお、図示していないが、液晶表示等のためには、さらにその上に保護絶縁膜、平坦化膜、表示のための透明導電膜が形成される。

【0227】

ここで、上記半導体装置60の製造方法について、図6 (a) ~図6 (h) に基づいて説明すれば、以下のとおりである。

【0228】

先ず、図6 (a) に示すように、絶縁基板2としてコーニング社のcode 1737 (アルカリ土類-アルミノ硼珪酸ガラス) を用い、その表面全体にTEOSとO₂との混合ガスを用いたプラズマCVDにより、膜厚約50nmのSiO₂膜3を堆積する。

【0229】

ここで、上記実施形態3の半導体装置40と同様に、予めバイポーラ型の単結晶Si 薄膜トランジスタ16bを作り込んだ単結晶Si 基板10bを用意し、これを所定のサイズに切断する。

【0230】

絶縁基板2と切断した単結晶Si 基板10bとを、SC-1洗淨して活性化した後、図6 (b) に示すように、単結晶Si 基板10bの水素イオン注入領域15側を所定の位置にアライメントし、室温で密着させ接合する。

【0231】

その後、300℃~600℃、ここでは約550℃の温度で熱処理し、単結晶Si 基板10bの水素イオン注入領域15の温度を単結晶Si から水素が離脱す

る温度まで昇温することにより、図6(c)に示すように、単結晶Si基板10bを、水素イオン注入領域15を境に劈開剥離する。

【0232】

次に、絶縁基板2上に残った単結晶Si薄膜14bをエッチング除去し、単結晶Si薄膜14bを島状に加工した後、表面の損傷層を、等方性プラズマエッチングまたはウエットエッチング、ここではバッファフッ酸によるウエットエッチングにて約10nmライトエッチすることにより除去する。

【0233】

これにより、絶縁基板2上における、膜厚約50nmの単結晶Si薄膜14bにMOS型薄膜トランジスタの一部が形成される。

【0234】

その後、図6(d)に示すように、絶縁基板2の全面に、 SiH_4 と N_2O との混合ガスを用いてプラズマCVDにより、膜厚約200nmの SiO_2 膜61を堆積する。

【0235】

さらに、その表面全体にスパッタによりTa_xN_y薄膜を堆積して、所定のパターンに加工し、ゲート電極6およびゲートバスライン等のゲート層の配線を形成する。

【0236】

なお、ゲート層の配線の材料は本材料に限られるものではなく、抵抗、耐熱性、後の製造プロセスとの適合性等に応じて、AlやAl合金等の種々の金属材料を選択できる。

【0237】

続いて、図6(e)に示すように、 SiH_4 ガスと NH_3 ガスを用いたプラズマCVDにより、ゲート絶縁膜として約200nmの窒化珪素膜62を形成する。そして、その上に SiH_4 ガスを用いたプラズマCVDにより、膜厚約50nmの非晶質Si膜63、さらにその上に SiH_4 ガスと PH_3 混合ガスによりPをドーピングした膜厚約30nmのN⁺非晶質Si膜64を順次連続して堆積する。

【0238】

次に、図 6 (f) に示すように、ノンドープと P をドープした非晶質 Si 膜をトランジスタとなる部分を残し島状にエッチングし、さらに、図 6 (g) に示すように、その上にソースバス配線のための金属膜 65 として、スパッタにより Ti 薄膜を堆積し、所定のパターンに加工する。

【0239】

なお、ソースバス配線のための金属膜 65 についても、Ti に限定されるものではなく、抵抗、耐熱性、後のプロセスとの適合性等に応じて、Al や Al 合金等の種々の金属材料を選択することができる。

【0240】

次に、図 6 (h) に示すように、非晶質 Si 63 の島状パターンの所定（ソース・ドレイン間のチャネルとなる部分）の領域の N⁺層を（ノンドープ層の一部も合わせてエッチングされる）エッチング除去し非晶質 Si TFT を形成する。

【0241】

その後、保護絶縁膜として SiH₄ ガスと NH₃ ガスを用いたプラズマ CVD により、約 200 nm の窒化珪素膜を堆積する。

【0242】

以降、通常の非晶質 Si を用いたアクティブマトリクス基板の製造工程と同様に、例えば、樹脂層間膜の形成、表示用透明電極の形成により、液晶表示に用いられるアクティブマトリクス基板が完成する。

【0243】

本実施形態の半導体装置 60 は、以上のように、非単結晶 Si 薄膜トランジスタ 1c として、非晶質 Si を用いているため、非単結晶 Si 薄膜の製造工程を簡略化し、半導体装置 60 の低コスト化を図れる。また、非晶質 Si の特徴である低 off 電流特性により、半導体装置 60 を低消費電力型の LCD 等に適用できる。

【0244】

さらに、非単結晶 Si 薄膜トランジスタ 1c の構造が絶縁基板 2 側にゲート電極 6 が配置される、いわゆるボトムゲート構造であるため、非晶質 Si の形成が容易となり、工程の簡略化から生産性を向上させることができ、半導体装置の低

コスト化が可能になる。

【0245】

なお、上記実施形態1～5で説明した各半導体装置は、図7に示すように、表示部72を有するアクティブマトリクス基板70に駆動回路71として搭載することができる。

【0246】

なお、上記実施形態1～5の単結晶Si薄膜トランジスタ16a・16bについては、さらにゲート層の上層に高融点金属による配線層が形成されてもよい。ここでは、TiW合金を用いて微細加工の必要な回路部分の配線を形成し、さらにTEOSあるいはSiH₄とN₂Oガス等によるCVD、PECVDで層間絶縁膜を形成後、CMP等により平坦化して、そこに水素イオンを所定のエネルギー、所定の濃度で注入してもよい。

【0247】

このように、予めメタル配線が形成された単結晶Si薄膜トランジスタを絶縁基板上に搭載し、酸化膜を形成後さらにメタル配線を形成することにより、ダブルメタル配線構造の半導体装置を得ることができ、さらに集積密度の高い機能回路を形成することができる。

【0248】

ここで、高融点金属による配線層には、単結晶Si基板の劈開剥離時の熱処理温度に対する耐熱性があればよく、多結晶Si、各種金属のシリサイド、Ti、W、Mo、TiW、Ta₂N₅、Ta等の材料を用いることができる。さらに、単結晶Si基板の劈開剥離をレーザで行う場合には、耐熱性が低くてもよい。

【0249】

また、本発明は上記実施形態で説明した内容に限定されるものではなく、例えば、非単結晶Si形成法、層間絶縁膜の材料、膜厚等についても、当業者が知り得る他の手段によって実現することができる。

【0250】

また、単結晶Siで形成する半導体デバイスも、MOS型トランジスタ、バイポーラ型トランジスタに限定されるものではなく、例えば、SIT、ダイオード

等であってもよい。

【0251】

そして、本発明の半導体装置は、このような特性が異なる複数種類の半導体デバイスを同一ガラス基板の上に一体集積化できることが、本発明の重要なメリットである。

【0252】

また、上記実施形態1～5では、2種類の異なる特性を有する薄膜Siトランジスタが形成されている例を挙げて説明したが、本発明はこれに限定されるものではなく、3種類以上の特性の異なるデバイスを1枚の基板上に搭載した半導体装置であってもよい。

【0253】

例えば、単結晶Si薄膜トランジスタとして、MOS型トランジスタおよびバイポーラ型トランジスタを搭載し、非単結晶Si薄膜トランジスタとして、MOS型トランジスタを搭載した半導体装置を構成した場合には、3種類の特性を有する半導体装置を1つの基板上に形成でき、さらに高性能・高機能な半導体装置を得ることができる。

【0254】

また、このような半導体装置では、単結晶SiからなるMOS型薄膜トランジスタの単結晶Si薄膜が、バイポーラ型薄膜トランジスタの単結晶Si薄膜よりも膜厚が小さいことがより好ましい。

【0255】

これは、通常、MOS型薄膜トランジスタは膜厚が薄いほうが良好な特性が得られやすく、バイポーラ型薄膜トランジスタは膜厚が比較的厚い方が良好な特性が得られることが知られているためである。

【0256】

なお、単結晶Si薄膜からなるMOS型薄膜トランジスタについて、そのゲート線幅は、 $1\mu\text{m}$ 以下であることがより好ましい。また、単結晶Si薄膜からなるバイポーラ型薄膜トランジスタについても、そのベース幅が概 $2.5\mu\text{m}$ 以下であることがより好ましい。これにより、トランジスタのスイッチング速度を速

くできる。

【0257】

なお、本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術範囲に含まれる。

【0258】

【発明の効果】

本発明に係る単結晶Si基板は、以上のように、表面に酸化膜、ゲートパターン、不純物イオン注入部が形成された後に平坦化されており、所定の深さに所定の濃度の水素イオンが注入された水素イオン注入領域を備えている構成である。

【0259】

それゆえ、絶縁基板等に対して、単結晶Si基板を酸化膜形成側において貼り合わせ、水素イオン注入領域において劈開剥離することで、接着剤を使用しなくても容易にMOS型の単結晶Si薄膜トランジスタを得ることができるという効果を奏する。

【0260】

また、例えば、表面に多結晶Si薄膜等の非単結晶Si薄膜トランジスタを形成した絶縁基板上に、本発明の単結晶Si基板を貼り合わせ、MOS型の単結晶Si薄膜トランジスタを形成することで、非単結晶Siからなるトランジスタと単結晶Siからなるトランジスタを1つの基板上の異なる領域に形成した半導体装置を容易に得ることができる。

【0261】

本発明の単結晶Si基板は、以上のように、表面に不純物イオンが注入されたpnp接続構造あるいはnpn接続構造を有する不純物イオン注入領域と、該不純物イオン注入領域上に堆積された酸化膜とを有している構成である。

【0262】

それゆえ、他の絶縁基板上に搭載しやすい単結晶Si薄膜からなるバイポーラ型の薄膜トランジスタを得ることができるという効果を奏する。

【0263】

上記所定の深さに所定の濃度の水素イオンが注入された水素イオン注入領域を備えていることがより好ましい。

【0264】

それゆえ、絶縁基板等に対して、単結晶 Si 基板を酸化膜堆積側において貼り合わせ、水素イオン注入側において劈開剥離することで、接着剤を使用することなく、容易にバイポーラ型の単結晶 Si 薄膜トランジスタを得ることができるという効果を奏する。

【0265】

また、上記酸化膜は、膜厚が 200 nm 以上になるように形成されていることがより好ましい。

【0266】

それゆえ、閾値のバラツキと、SiO₂膜形成工程の効率や段差とのバランスに適切な単結晶 Si 基板を得ることができるという効果を奏する。

【0267】

本発明の半導体装置は、以上のように、絶縁基板上の異なる領域に、非単結晶 Si 薄膜デバイスと、単結晶 Si 薄膜デバイスとがそれぞれ形成されている構成である。

【0268】

それゆえ、例えば、タイミングコントローラ等の、より高性能な機能が要求されるデバイスには、単結晶 Si 薄膜トランジスタ等の単結晶 Si 薄膜デバイスを用い、残りのデバイスには非単結晶 Si 薄膜トランジスタ等の非単結晶 Si 薄膜デバイスを用いて、低コストで高性能・高機能な回路システムを搭載した半導体装置を得ることができるという効果を奏する。また、例えば、大型の液晶表示パネルや有機 EL パネル等に対応可能な大型の半導体装置を製造することができる。

【0269】

上記単結晶 Si 薄膜デバイスは、上記絶縁基板に対して、無機系の絶縁膜によって接着されていることがより好ましい。

【0270】

それゆえ、接着剤を使用することなく、単結晶 Si 薄膜トランジスタ等のデバイスを絶縁基板上に搭載することができるため、単結晶 Si が汚染されることを防止できるという効果を奏する。

【0271】

上記非単結晶 Si 薄膜デバイスおよび上記単結晶 Si 薄膜デバイスは、ともに MOS 型の単結晶 Si 薄膜トランジスタであることがより好ましい。

【0272】

それゆえ、例えば、CMOS 構造にした場合には、消費電力の低減および電源電圧までフル出力が可能で、低消費電力のロジックに適した半導体装置を得ることができるという効果を奏する。

【0273】

上記 MOS 型の単結晶 Si 薄膜トランジスタは、上記絶縁基板側からゲート、ゲート絶縁膜、Si の順に形成されていることがより好ましい。

【0274】

それゆえ、MOS 型薄膜トランジスタは、ゲートが絶縁基板の側に配置された状態で搭載され、いわゆる絶縁基板上に上下逆さまの MOS 型の単結晶 Si 薄膜トランジスタを搭載した半導体装置を得ることができるという効果を奏する。

【0275】

上記 MOS 型の単結晶 Si 薄膜トランジスタの単結晶 Si 薄膜の膜厚は、略 600 nm 以下であることがより好ましい。

【0276】

それゆえ、半導体装置の S 値（サブスレシヨルド係数）を小さくすることができ、またオフ電流を低下させることができるという効果を奏する。

【0277】

上記 MOS 型の単結晶 Si 薄膜トランジスタの単結晶 Si 薄膜の膜厚は、略 100 nm 以下であることがより好ましい。

【0278】

それゆえ、一層半導体装置の S 値（サブスレシヨルド係数）を小さくすること

ができ、またオフ電流についても低下させることができる。よって、MOS型の単結晶Si薄膜トランジスタの特性を最大限に生かすことができるという効果を奏する。

【0279】

上記MOS型の単結晶Si薄膜トランジスタの金属配線パターンは、MOS型の単結晶Si薄膜トランジスタのゲートパターンよりも許容範囲が広い配線形成ルールによって形成されていることがより好ましい。

【0280】

それゆえ、MOS型の単結晶Si薄膜トランジスタを搭載した半導体装置を外部装置あるいは外部配線に対する接続が容易になり、外部装置等に対する接続不良による製品歩留りを低減できるという効果を奏する。

【0281】

上記非単結晶Si薄膜デバイスは、MOS型の非単結晶Si薄膜トランジスタであって、上記単結晶Si薄膜デバイスは、バイポーラ型の単結晶Si薄膜トランジスタであることがより好ましい。

【0282】

それゆえ、MOS型の非単結晶Si薄膜トランジスタに加えて、バイポーラ型の単結晶Si薄膜トランジスタを搭載しているため、より多機能な半導体装置を得ることができるという効果を奏する。

【0283】

上記非単結晶Si薄膜デバイスは、MOS型の非単結晶Si薄膜トランジスタであって、上記単結晶Si薄膜デバイスは、MOS型の単結晶Si薄膜トランジスタおよびバイポーラ型の単結晶Si薄膜トランジスタであることがより好ましい。

【0284】

それゆえ、MOS型の非単結晶Si薄膜トランジスタおよび単結晶Si薄膜トランジスタ、バイポーラ型の単結晶Si薄膜トランジスタという3種類の特性を有する半導体装置を1つの基板上に形成できるという効果を奏する。よって、さらに高性能・高機能な半導体装置を得ることができる。

【0285】

上記単結晶 Si からなる MOS 型薄膜トランジスタの単結晶 Si 薄膜は、バイポーラ型薄膜トランジスタの単結晶 Si 薄膜よりも膜厚が小さいことがより好ましい。

【0286】

それゆえ、MOS 型とバイポーラ型との Si 薄膜の厚さを互いの比較によって特定することで、MOS 型およびバイポーラ型双方の特性を有効に活用できる半導体装置を得ることができるという効果を奏する。

【0287】

上記バイポーラ型の単結晶 Si 薄膜トランジスタは、ベース、コレクタおよびエミッタ領域が同一平面に形成、配置された平面構造であることがより好ましい。

【0288】

それゆえ、MOS 型薄膜トランジスタのようにゲートを持たず、かつ平面構造であるため、CMP による平坦化処理を行わなくても絶縁基板上に容易に搭載することができるという効果を奏する。

【0289】

上記バイポーラ型の単結晶 Si 薄膜トランジスタのコンタクトパターンは、バイポーラ型の単結晶 Si 薄膜トランジスタのベースパターンよりも許容範囲が広い配線形成ルールによって形成されていることがより好ましい。

【0290】

それゆえ、バイポーラ型単結晶 Si 薄膜トランジスタを搭載した半導体装置を外部装置あるいは外部配線に対する接続が容易になり、外部装置等に対する接続不良による製品歩留りを低減できるという効果を奏する。

【0291】

上記バイポーラ型単結晶 Si 薄膜トランジスタの単結晶 Si 薄膜の膜厚は、略 800 nm 以下であることがより好ましい。

【0292】

それゆえ、バイポーラ型単結晶 Si 薄膜トランジスタの単結晶 Si 薄膜の厚さ

限界である 800 nm 以下に膜厚を設定することで、特性を悪化させることなく、バイポーラ型単結晶 Si 薄膜トランジスタを得ることができるという効果を奏する。

【0293】

上記非単結晶 Si 薄膜は多結晶 Si 薄膜もしくは連続粒界 Si 薄膜であって、上記非単結晶 Si 薄膜からなる MOS 型薄膜トランジスタは、基板側から非単結晶 Si、ゲート絶縁膜、ゲートの順に形成されていることがより好ましい。

【0294】

それゆえ、絶縁基板から見てゲートが上に形成されるように MOS 型薄膜トランジスタを構成することで、多結晶 Si 薄膜あるいは連続粒界 Si 薄膜を形成し易くなり、生産性を向上させることができるという効果を奏する。

【0295】

上記非単結晶 Si 薄膜は多結晶 Si 薄膜もしくは連続粒界 Si 薄膜であって、上記非単結晶 Si 薄膜からなる MOS 型薄膜トランジスタは、基板側からゲート、ゲート絶縁膜、非単結晶 Si の順に形成されていることがより好ましい。

【0296】

それゆえ、MOS 型の非単結晶 Si 薄膜トランジスタが基板から見て反対の構成であっても、上記と同様の効果を得られる構成のバリエーションを増やすことができるという効果を奏する。

【0297】

上記非単結晶 Si 薄膜は非晶質 Si 薄膜であって、上記非単結晶 Si 薄膜からなる MOS 型薄膜トランジスタは、基板側からゲート、ゲート絶縁膜、非単結晶 Si の順に形成されていることがより好ましい。

【0298】

それゆえ、絶縁基板から見てゲートが下に形成される、いわゆるボトムゲート構造の MOS 型薄膜トランジスタを構成することで、非晶質 Si 薄膜を形成する工程の簡略化、低コスト化、生産性向上を図ることができるという効果を奏する。また、非晶質 Si は、低 off 電流特性を有しているため、低消費電力型 LCD 等に適応した半導体装置を得ることができる。

【0299】

上記非単結晶 Si 薄膜は非晶質 Si 薄膜であって、上記非単結晶 Si 薄膜からなる MOS 型薄膜トランジスタは、基板側から非単結晶 Si、ゲート絶縁膜、ゲートの順に形成されていることがより好ましい。

【0300】

それゆえ、MOS 型の非単結晶 Si 薄膜トランジスタが基板から見て反対の構成であっても、上記と同様の効果を得られる構成のバリエーションを増やすことができるという効果を奏する。

【0301】

上記単結晶 Si 薄膜デバイスを構成する単結晶 Si と上記絶縁基板の線膨張係数の差は、室温から 600℃の温度範囲において約 250 ppm 以下であることがより好ましい。

【0302】

それゆえ、絶縁基板と単結晶 Si 薄膜との線膨張係数の差が小さくなる。従って、絶縁基板上に単結晶 Si 薄膜を形成するための工程において、熱膨張係数差による水素注入位置からの劈開剥離工程における破壊や接合界面剥離、あるいは結晶中の欠陥発生を確実に防止することができ、また、加熱接合強度の向上を図ることができるという効果を奏する。

【0303】

上記絶縁基板は、少なくとも、上記単結晶 Si 薄膜デバイスが搭載される領域の表面に SiO₂膜が形成されたアルカリ土類-アルミノ硼珪酸ガラスからなる高歪点ガラスであることがより好ましい。

【0304】

それゆえ、単結晶 Si 基板との接合のために使用する組成を調節した結晶化ガラスを用いる必要が無くなるので、絶縁基板がアクティブマトリクス駆動による液晶表示パネル等に一般的に使用される高歪点ガラスからなり、低コストの半導体装置を製造できるという効果を奏する。

【0305】

上記絶縁基板は、バリウム-硼珪酸ガラス、バリウム-アルミノ硼珪酸ガラス

、アルカリ土類－アルミノ硼珪酸ガラス、硼珪酸ガラス、アルカリ土類－亜鉛－鉛－アルミノ硼珪酸ガラスおよびアルカリ土類－亜鉛－アルミノ硼珪酸ガラスのうち何れかのガラスから形成されていることがより好ましい。

【0306】

それゆえ、絶縁基板がアクティブマトリクス駆動による液晶表示パネル等に一般的に使用される高歪点ガラスである上記記載のガラスからなるため、低コストにてアクティブマトリクス基板に好適な半導体装置を製造できるという効果を奏する。

【0307】

本発明の半導体装置の製造方法は、以上のように、単結晶 Si 薄膜デバイスを含む回路を絶縁基板上に搭載した後、上記非単結晶 Si 薄膜を形成する方法である。

【0308】

それゆえ、単結晶 Si 薄膜デバイスを、平坦性が最もよい絶縁基板上に搭載し、その後で非単結晶 Si 薄膜を形成している。よって、接合不良による欠陥が少なく、歩留りがよい半導体装置を製造することができるという効果を奏する。

【0309】

上記単結晶 Si 薄膜デバイスに、メタル配線を形成することがより好ましい。

【0310】

それゆえ、非単結晶 Si 薄膜の形成よりも先に搭載される単結晶 Si 薄膜デバイスがメタル配線を有しているため、微細化加工が可能になり、単結晶 Si 薄膜に形成する回路の集積密度の大幅アップが実現できるという効果を奏する。さらに、単結晶 Si 薄膜デバイスの搭載後に形成される非単結晶 Si 薄膜にもメタル配線を設けることで、ダブルメタル配線構造の半導体装置を製造することができる。

【0311】

上記単結晶 Si 薄膜デバイスを搭載した後、上記非単結晶 Si 薄膜を形成する前に、層間絶縁膜を形成することがより好ましい。

【0312】

それゆえ、単結晶 Si 薄膜デバイスと非単結晶 Si 薄膜との間に層間絶縁膜が形成されているため、単結晶 Si 薄膜の単結晶 Si の汚染を確実に防止できるという効果を奏する。

【0313】

本発明の半導体装置の製造方法は、以上のように、非単結晶 Si 薄膜を上記絶縁基板上に形成した後、上記単結晶 Si 薄膜デバイスを搭載する方法である。

【0314】

それゆえ、非単結晶 Si 薄膜を単結晶 Si 薄膜デバイス搭載前に形成するため、単結晶 Si 薄膜デバイスを搭載した後で非単結晶 Si 薄膜を形成する場合と比較して、単結晶 Si 薄膜が汚染されるのを防止できるという効果を奏する。

【0315】

上記単結晶 Si 薄膜デバイスは、MOS 型の単結晶 Si 薄膜トランジスタであることがより好ましい。

【0316】

それゆえ、例えば、CMOS 構造にした場合には、消費電力の低減および電源電圧までフル出力が可能で、低消費電力のロジックに適した半導体装置を得ることができる等の MOS 型トランジスタの特性を有する半導体装置を製造することができるという効果を奏する。

【0317】

上記単結晶 Si 薄膜デバイスは、バイポーラ型の単結晶 Si 薄膜トランジスタであることがより好ましい。

【0318】

それゆえ、バイポーラ型トランジスタを絶縁基板上に搭載することで、単結晶 Si 薄膜の構成を MOS 型よりも簡略化でき、平坦化処理を行うことなく絶縁基板に貼り付けることができるという効果を奏する。

【0319】

上記単結晶 Si 薄膜デバイスを形成するための単結晶 Si 基板に対して、所定の深さに所定の濃度の水素イオンを注入することがより好ましい。

【0320】

それゆえ、接着剤を使用することなく、容易に単結晶 Si 薄膜デバイスを絶縁基板上に搭載することができるという効果を奏する。

【0321】

上記水素イオンの注入エネルギーは、該水素イオンの注入エネルギーから上記酸化膜の膜厚に相当する水素イオンのプロジェクションレンジに対応するエネルギーを差し引いたエネルギーが、上記酸化膜の膜厚に相当する、該酸化膜上に形成された層内に存在する材料の構成原子のプロジェクションレンジに対応するエネルギーよりも小さくなるように設定されていることがより好ましい。

【0322】

それゆえ、例えば、MOS 型の単結晶 Si 薄膜トランジスタにおいて、単結晶 Si 基板に対して照射された水素イオンが、ゲート電極材料の構成原子に衝突して、弾性散乱によりはじき出されたゲート電極材料の構成原子が酸化膜を通過し、単結晶 Si にまで達して、単結晶 Si 部分が汚染されることを防止することができるという効果を奏する。

【図面の簡単な説明】

【図 1】

(a) ~ (i) は、本発明に係る半導体装置の一実施形態を示す半導体装置の製造工程を示す断面図である。

【図 2】

(a) ~ (i) は、本発明に係る半導体装置の他の実施形態を示す半導体装置の製造工程を示す断面図である。

【図 3】

(a) ~ (i) は、本発明に係る半導体装置のさらに他の実施形態を示す半導体装置の製造工程を示す断面図である。

【図 4】

図 3 に示すバイポーラ型単結晶 Si 薄膜トランジスタの構成を概略的に示す断面図である。

【図 5】

(a) ~ (f) は、本発明に係る半導体装置のさらに他の実施形態を示す半導

体装置の製造工程を示す断面図である。

【図 6】

(a) ~ (i) は、本発明に係る半導体装置のさらに他の実施形態を示す半導体装置の製造工程を示す断面図である。

【図 7】

本発明に係る半導体装置を用いて作成したアクティブマトリクス基板を示す平面図である。

【図 8】

本発明に係る半導体装置における、室温から 600℃の温度に対する単結晶 Si とガラス基板との線膨張係数の違いを示すグラフである。

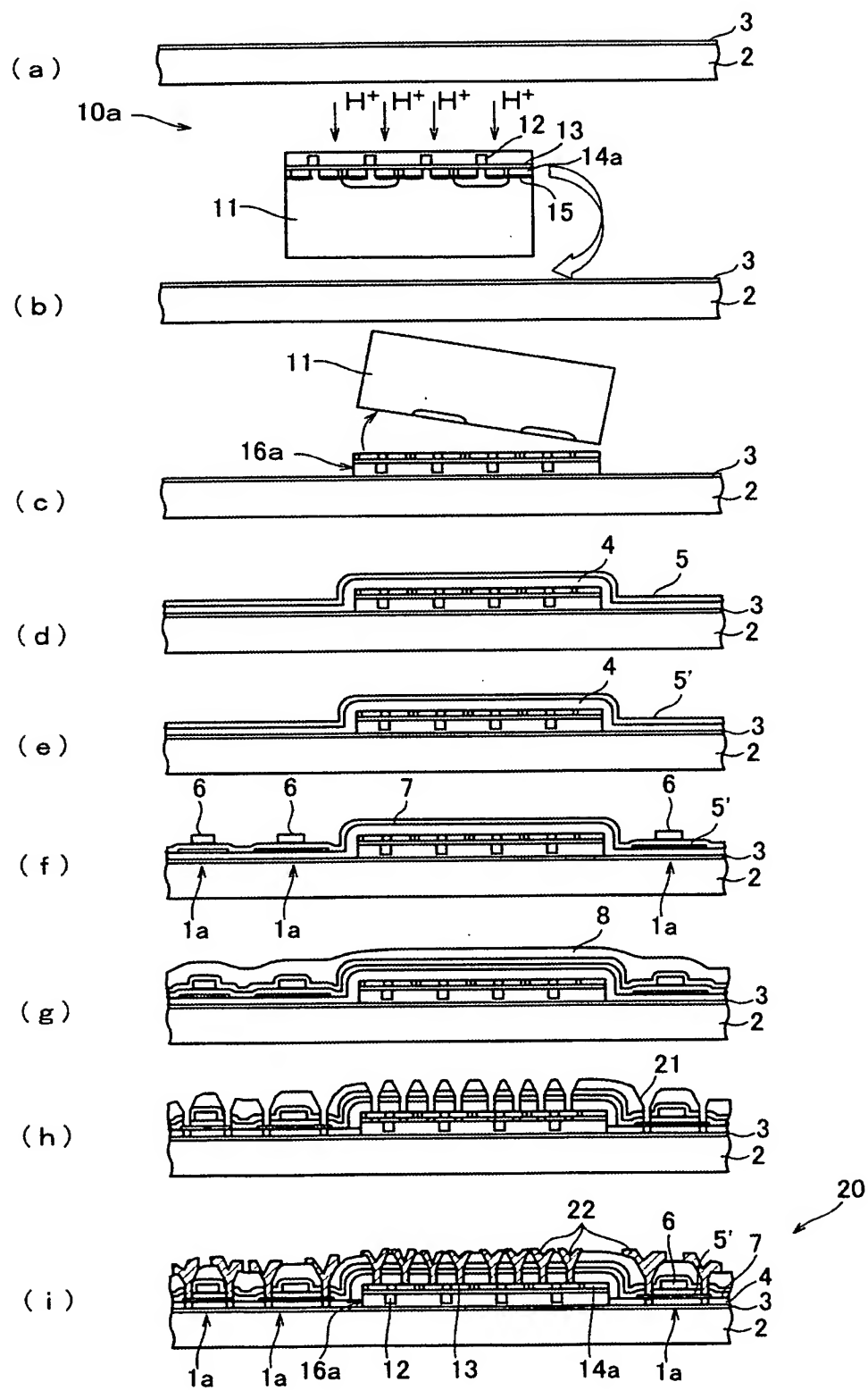
【符号の説明】

1 a · 1 b · 1 c	非単結晶 Si 薄膜トランジスタ
2	絶縁基板
3	SiO ₂ 膜 (酸化膜)
8	SiO ₂ 膜 (層間平坦化絶縁膜)
4	SiO ₂ 膜 (層間絶縁膜)
5	非晶質 Si 薄膜
5'	非単結晶 Si 薄膜
6 · 12	ゲート電極
7 · 13 · 61	SiO ₂ 膜 (ゲート絶縁膜)
10 a · 10 b	単結晶 Si 基板
11	不要部分
14 a · 14 b	単結晶 Si 薄膜
15	水素注入領域
16 a · 16 b	単結晶 Si 薄膜トランジスタ
20 · 30 · 40 · 50 · 60	半導体装置
21	コンタクトホール
22	金属配線
25	コレクタ

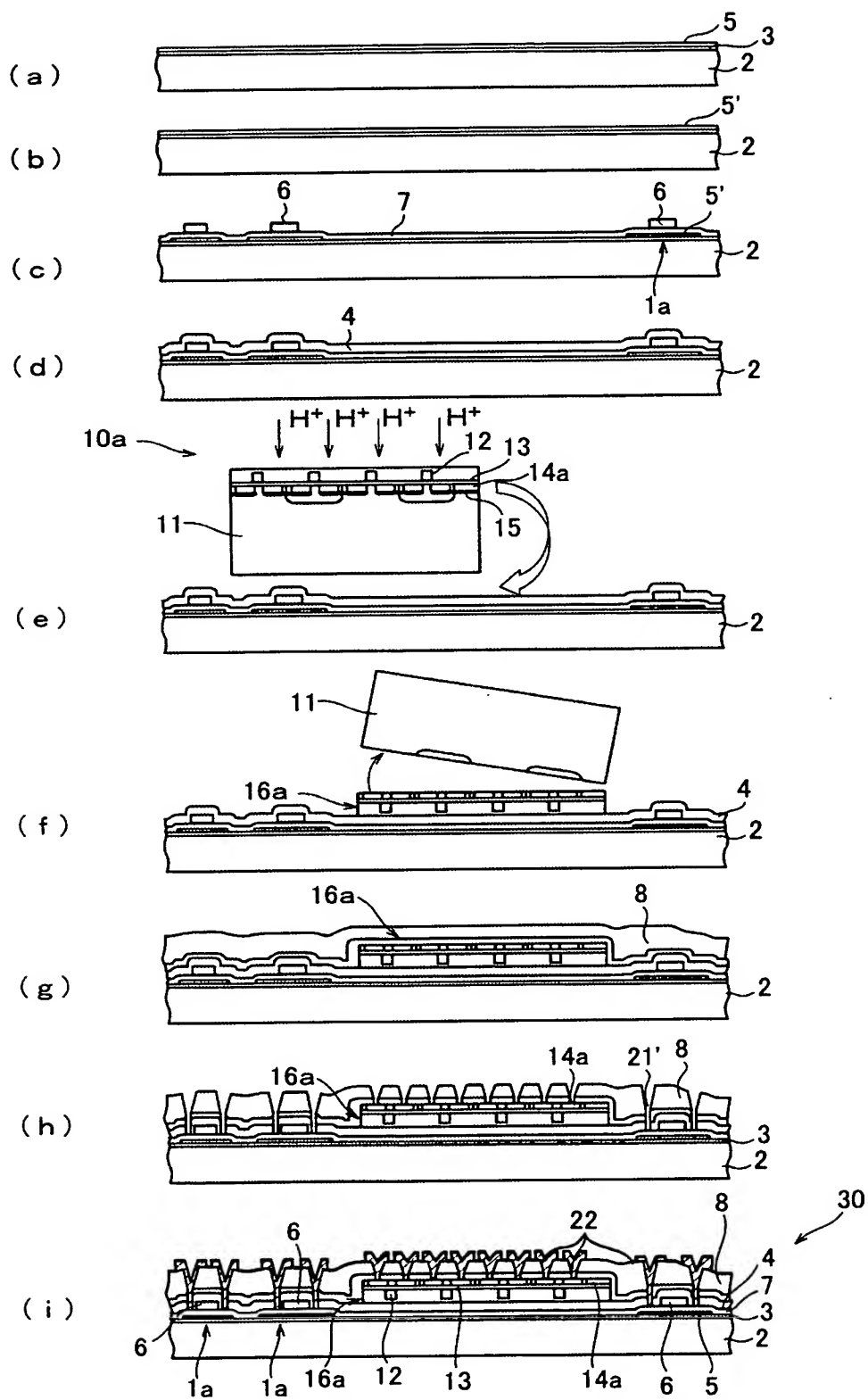
2 6	ベース
2 7	エミッタ
5 1	非晶質 S i 薄膜
5 1'	連続結晶粒界 S i 薄膜
5 2	非単結晶 S i 薄膜
6 2	窒化珪素膜
6 3	非晶質 S i 膜
6 4	N ⁺ 非晶質 S i 膜
6 5	金属膜
7 0	アクティブマトリクス基板
7 1	駆動回路
7 2	表示部

【書類名】 図面

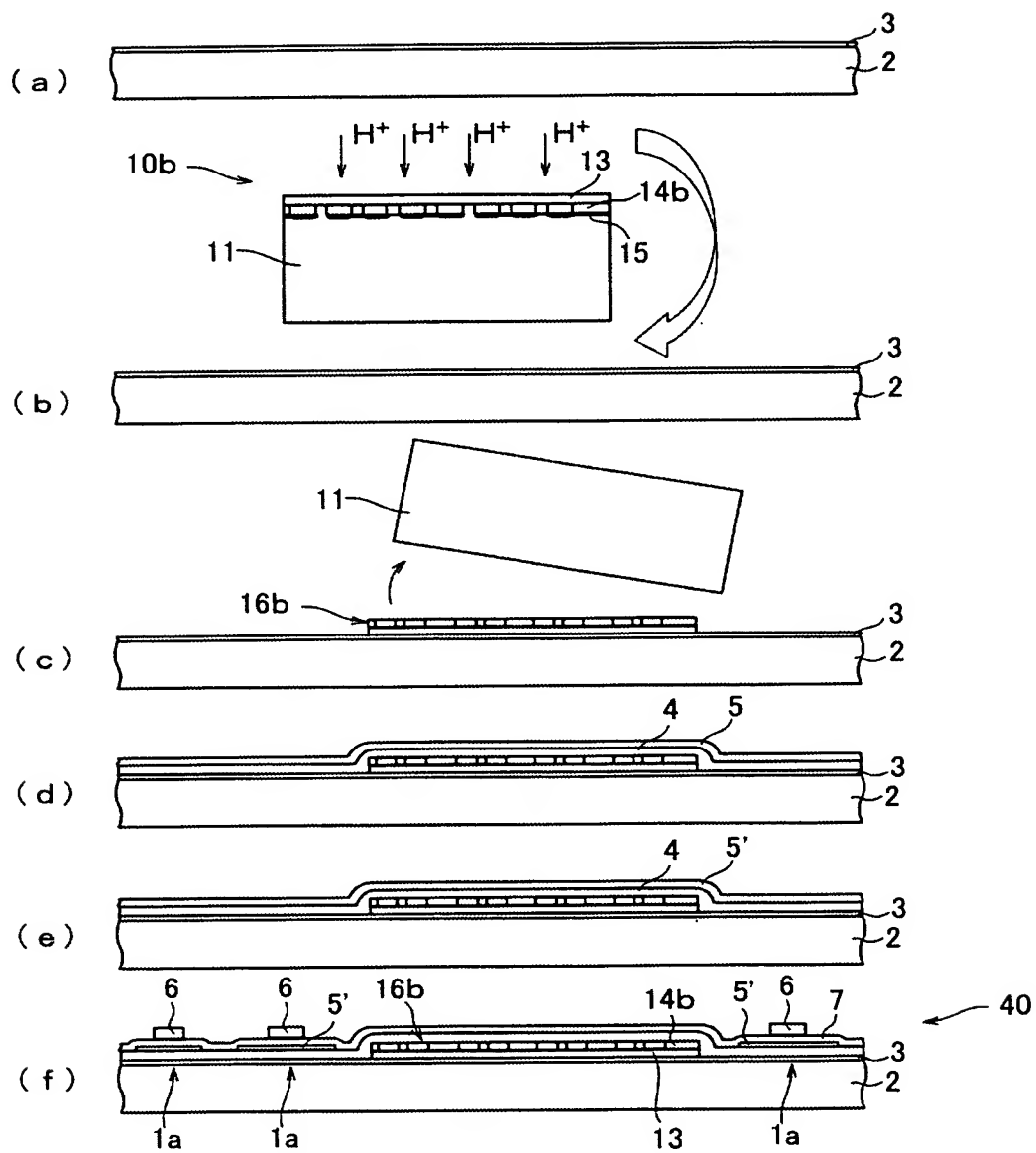
【図 1】



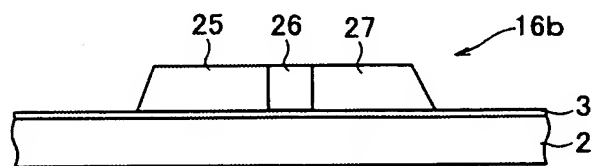
【図 2】



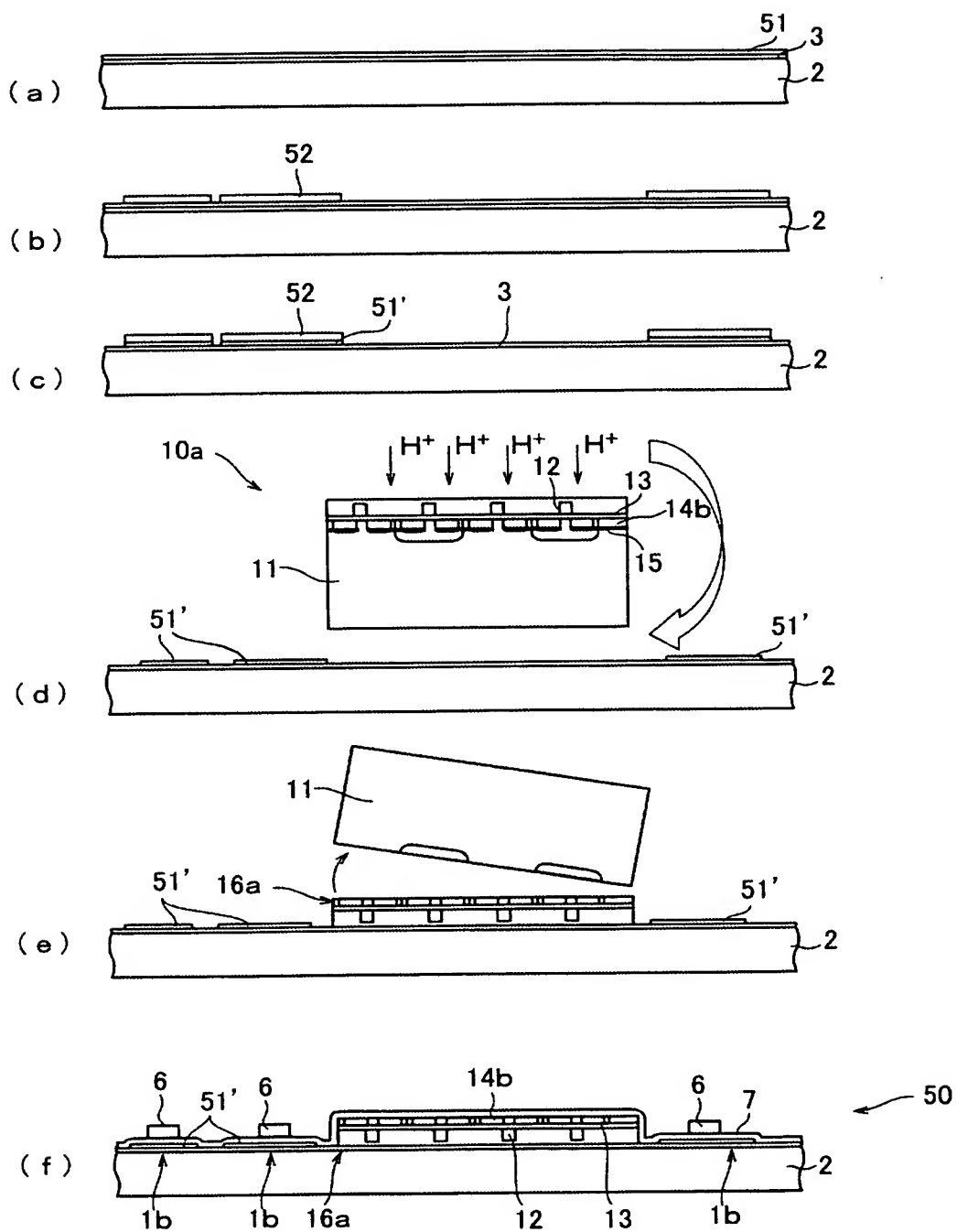
【図 3】



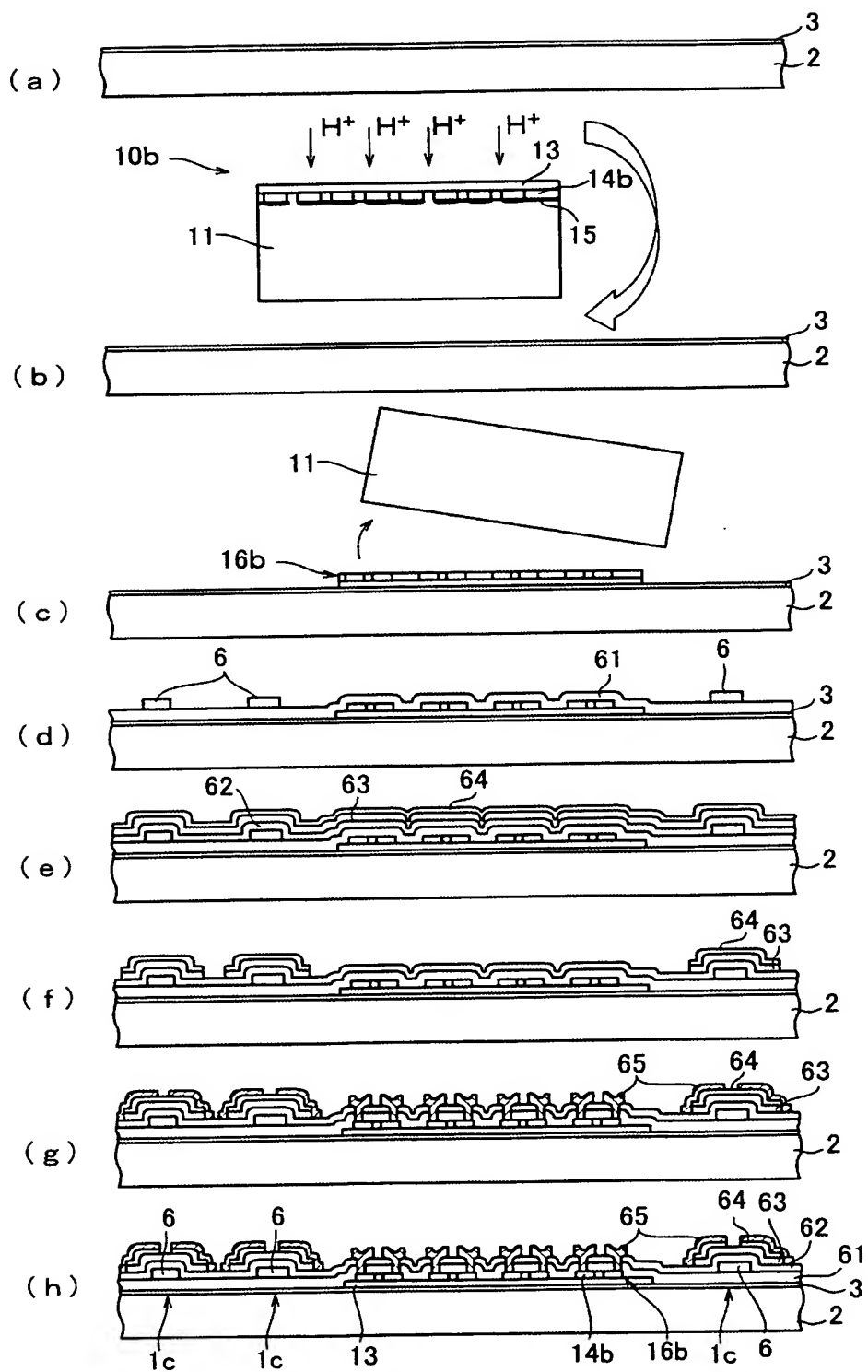
【図 4】



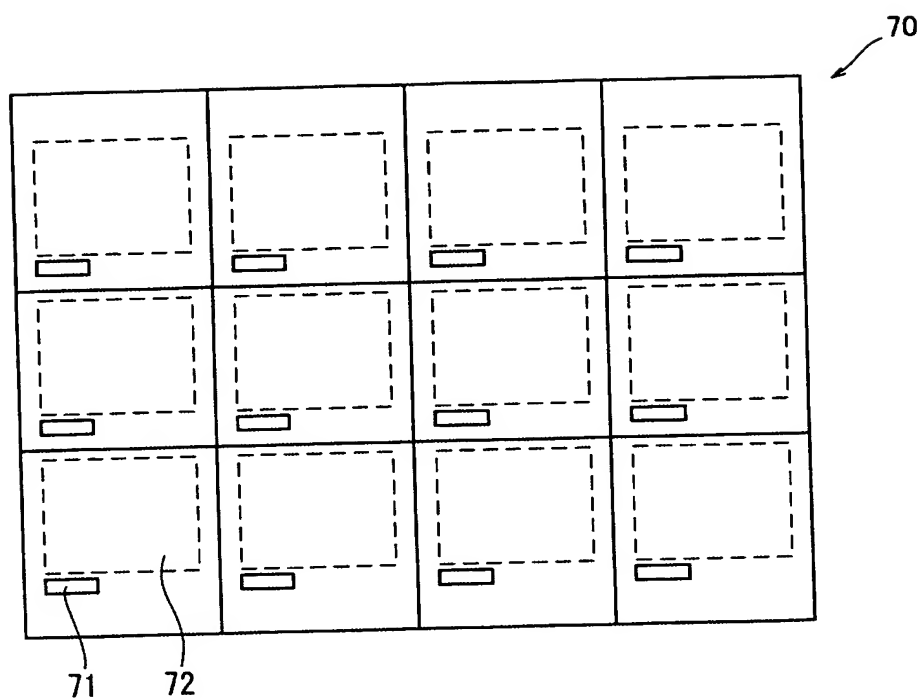
【図 5】



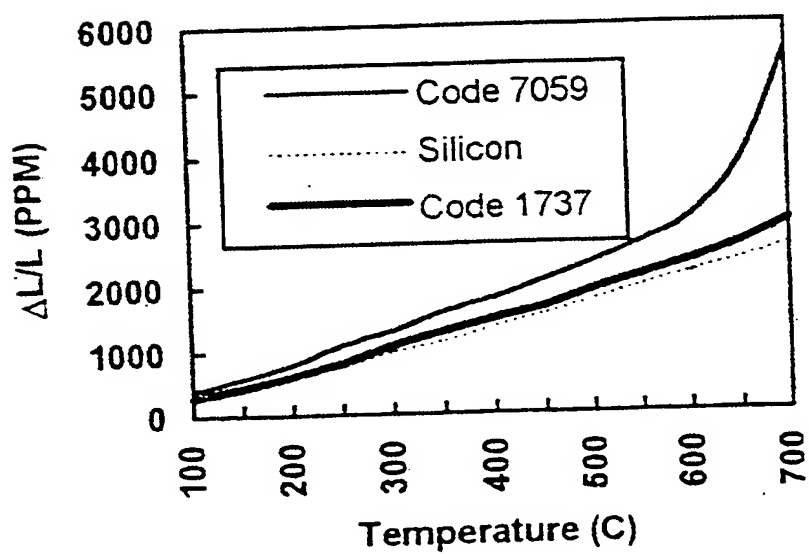
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 非単結晶 Si 薄膜と単結晶 Si 薄膜デバイスとを搭載し、高性能なシステムを集積化した半導体装置およびその製造方法、ならびに該半導体装置の単結晶 Si 薄膜を形成するための単結晶 Si 基板を提供する。

【解決手段】 半導体装置 20 は、絶縁基板 2 上に、SiO₂膜 3、多結晶 Si からなる非単結晶 Si 薄膜 5' を含む MOS 型の非単結晶 Si 薄膜トランジスタ 1a、単結晶 Si 薄膜 14a を備えた MOS 型の単結晶 Si 薄膜トランジスタ 16a、金属配線 22 を備えている。

【選択図】 図 1

特願 2002-280078

出願人履歴情報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社